

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-004129

(43)Date of publication of application : 07.01.2000

---

(51)Int.Cl. H03F 3/34

H03F 3/45

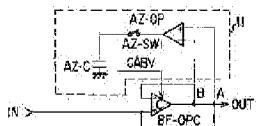
---

(21)Application number : 10-170005 (71)Applicant : TOSHIBA AVE CO LTD  
TOSHIBA CORP

(22)Date of filing : 17.06.1998 (72)Inventor : TAKEDA HITOSHI

---

(54) CMOS ANALOG CIRCUIT



(57)Abstract:

PROBLEM TO BE SOLVED: To obtain high automatic zero-adjustment precision by excluding a capacitor for offset cancellation from the input signal line of the CMOS analog circuit and to actualize the capacitor for offset cancellation by using an inexpensive MOS capacitor.

SOLUTION: This circuit is equipped with a buffer amplifier BF-OPC which consists of a CMOS operational amplifier circuit having an noninverting input

terminal, an inverting input terminal, an output terminal, and a terminal C for offset adjustment and the output terminal and inverted input terminal short-circuit and connected and is equipped with the buffer amplifier BF-OPC applied with an input voltage at the noninverting input terminal and a control circuit 11 which detects the difference in voltage between the two input terminals of the buffer amplifier and corrects the offsets of the two input terminals of the buffer amplifier.

---

#### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's  
decision of rejection]

[Kind of final disposal of application  
other than the examiner's decision of  
rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

#### \* NOTICES \*

**JPO and NCIPI are not responsible for any  
damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

## CLAIMS

---

### [Claim(s)]

[Claim 1] It is the CMOS analog circuit which consists of a CMOS operation amplifying circuit which has a non-inversed input terminal, an inversed input terminal, an output terminal, and a terminal for offset adjustment, and is characterized by to provide the control circuit which short circuit connection of said output terminal and inversed input terminal is made, and detects the difference of each electrical potential difference of two input terminals, the buffer amplifier with which input voltage is impressed to said non-inversed input terminal, and said buffer amplifier, controls the electrical potential difference of said terminal for offset adjustment according to the difference, and amends offset of two input terminals of said buffer amplifier.

[Claim 2] In a CMOS analog circuit according to claim 1 said control circuit The CMOS operation amplifying circuit for auto-zero control which the electrical potential difference of two input terminals of said 1st buffer amplifier corresponds, and is inputted into two input terminals, The switch for auto-zero adjustment connected to the serial between the output terminal of the CMOS operation amplifying circuit for said auto-zero control and the predetermined node and the capacitor for offset cancellation are provided. The CMOS operation amplifying circuit for said auto-zero control performs loop control so that the switch for said auto-zero adjustment may be controlled to a predetermined period ON state and offset of two input terminals of said 1st buffer amplifier may be lost. The CMOS analog circuit characterized by supplying the electrical potential difference for amendment held at said capacitor to the terminal for offset adjustment of said 1st buffer amplifier.

[Claim 3] The 1st buffer amplifier with which it consists of a CMOS operation

amplifying circuit which has a non-inversed input terminal, an inversed input terminal, an output terminal, and a terminal for offset adjustment, and short circuit connection of said output terminal and inversed input terminal is made, The 2nd buffer amplifier with which it consists of a CMOS operation amplifying circuit which has a non-inversed input terminal, an inversed input terminal, and an output terminal, short circuit connection of said output terminal and inversed input terminal is made, and the input voltage of Channel A is impressed to said non-inversed input terminal, The 1st switch for the auto-zero adjustment for impressing alternatively the input voltage electrical potential difference of said channel A to the non-inversed input terminal of said 1st buffer amplifier, The switch for the input for impressing the input voltage of Channel B to the non-inversed input terminal of said 1st buffer amplifier alternatively, The switch for the output for outputting alternatively the output voltage of said 1st buffer amplifier, and the output voltage of said 2nd buffer amplifier to an output node, Detect the difference of the electrical potential difference of each output terminal of said two buffer amplifier, and the electrical potential difference of the terminal for offset adjustment of said 1st buffer amplifier is controlled according to the difference. The CMOS analog circuit characterized by providing the control circuit which amends offset of each output terminal of said two buffer amplifier.

[Claim 4] The 1st buffer amplifier with which it consists of a CMOS operation amplifying circuit which has a non-inversed input terminal, an inversed input terminal, an output terminal, and a terminal for offset adjustment, and short circuit connection of said output terminal and inversed input terminal is made, The 2nd buffer amplifier with which it consists of a CMOS operation amplifying circuit which carries out a non-inversed input terminal, an inversed input terminal, and an output terminal, and the input voltage of Channel A is impressed to said non-inversed input terminal, The 1st switch for the auto-zero adjustment for impressing alternatively the input voltage electrical potential difference of said channel A to the non-inversed input terminal of said 1st buffer amplifier, The switch for the input for impressing the input voltage of Channel B to the non-

inversed input terminal of said 1st buffer amplifier alternatively, The resistance partial pressure circuit which is connected between the output terminal of said 2nd buffer amplifier, and the output terminal of the 1st buffer amplifier, and has two or more partial pressure nodes, Two or more switches for gain control connected respectively corresponding to between said two or more partial pressure nodes and inversed input terminals of said 2nd buffer amplifier, The resistance element connected between the output terminal of said 2nd buffer amplifier, and the reference voltage node, Detect the difference of the electrical potential difference of each output terminal of said two buffer amplifier, and the electrical potential difference of the terminal for offset adjustment of said 1st buffer amplifier is controlled according to the difference. The control circuit which amends offset of each output terminal of said two buffer amplifier, The CMOS analog circuit characterized by providing the buffer amplifier for an output which consists of a CMOS operation amplifying circuit which amplifies and outputs the difference of the electrical potential difference of each output terminal of said two buffer amplifier.

[Claim 5] In a CMOS analog circuit according to claim 3 or 4 said control circuit The CMOS operation amplifying circuit for auto-zero control which the electrical potential difference of the output terminal of said 1st buffer amplifier and the electrical potential difference of the output terminal of the 2nd buffer amplifier correspond, and is inputted into two input terminals, The 2nd switch for auto-zero adjustment connected to the serial between the output terminal of the CMOS operation amplifying circuit for said auto-zero control and the predetermined node and the capacitor for offset cancellation are provided. The CMOS operation amplifying circuit for said auto-zero control performs loop control so that the 1st switch and 2nd switch for said auto-zero adjustment may be controlled to a predetermined period ON state and offset of each output terminal of said two buffer amplifier may be lost. The CMOS analog circuit characterized by supplying the electrical potential difference for amendment held at said capacitor to the terminal for offset adjustment of said 1st buffer amplifier.

[Claim 6] In a CMOS analog circuit given in claim 1 thru/or any 1 term of 5, the buffer amplifier which has said terminal for offset adjustment The differential amplifying circuit which carries out the differential amplifier of the electrical potential difference inputted from said two input terminals, The current Miller circuit which transforms into a desired current the electrical potential difference inputted from said terminal for offset adjustment, The CMOS analog circuit characterized by providing the circuit controlled so that it connects with said differential amplifying circuit and the output of said current Miller circuit adjusts the amount of bias currents of said differential amplifying circuit.

---

[Translation done.]

\* NOTICES \*

**JPO and NCIP are not responsible for any  
damages caused by the use of this translation.**

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] It is used for the circuit which amplifies minute output signals, such as CCD, about the offset automatic zero equalization circuit (it is hereafter described as an auto-zero equalization circuit) for this invention relating to the integrated-circuit-ized CMOS analog circuit, especially amending offset of a CMOS analog circuit.

[0002]

[Description of the Prior Art] In case a highly precise analog circuit where input offset poses a problem is generally realized, in order to amend offset of a circuit, an auto-zero equalization circuit is used. Drawing 6 shows an example of the auto-zero equalization circuit of the conventional CMOS amplifying circuit.

[0003] In drawing 6 , IN-SW1 and AZ-SW1 are the switches for making change-over selection of input voltage IN and the reference electrical potential difference VR for auto-zero. That is, one switch AZ-SW1 is for being controlled by the ON state at the time of auto-zero adjustment, and choosing and incorporating the reference electrical potential difference VR for auto-zero, and is for switch IN-SW1 of another side being controlled by the ON state at the time of normal operation, and choosing and incorporating input voltage IN.

[0004] AZ-C is the capacitor for offset cancellation by which the end was connected to each selection output node of two above-mentioned switch AZ-SW1 and IN-SW1. BF-OP A non-inversed input terminal (+) is connected to the other end of capacitor AZ-C for the above-mentioned offset cancellation, and it is the output voltage OUT. It is the buffer amplifier which consists of an operation amplifying circuit inputted into an inversed input terminal (-).

[0005] AZ-OP Above-mentioned buffer amplifier BF-OP Output voltage OUT It is an amplifying circuit for amplifying offset, and is above-mentioned buffer amplifier BF-OP. Output voltage OUT It inputs into an inversed input terminal (-), and said reference electrical potential difference VR consists of an operation amplifying circuit inputted into a non-inversed input terminal (+).

[0006] AZ-SW2 is above-mentioned amplifying-circuit AZ-OP. An output terminal and said buffer amplifier BF-OP It is the switch which is connected between non-inversed input terminals (+), and is controlled by the ON state at the time of auto-zero adjustment.

[0007] Hereafter, actuation of the auto-zero equalization circuit of the CMOS amplifying circuit of drawing 6 is described. At the time of auto-zero adjustment, switch AZ-SW1 for auto-zero adjustment and AZ-SW2 are controlled by the ON

state, and switch IN-SW1 for an input is controlled by the OFF state. In this condition, it is the input-side node A of capacitor AZ-C for offset cancellation. Potential serves as the reference electrical potential difference VR for auto-zero.

[0008] In this case, buffer amplifier BF-OP and amplifying-circuit AZ-OP If it assumes that there is no offset, respectively, the potential of the output side node B of capacitor AZ-C for offset cancellation will also serve as the reference electrical potential difference VR for auto-zero.

[0009] On the other hand, it is buffer amplifier BF-OP temporarily. Output voltage OUT When there is -10mV offset to the electrical potential difference of a non-inversed input terminal (+), it is amplifying-circuit AZ-OP. Buffer amplifier BF-OP Output voltage OUT It considers that it is lower than the reference electrical potential difference VR for auto-zero, and is amplifying-circuit AZ-OP. Output voltage rises and goes. and output side node B of capacitor AZ-C for offset cancellation the object for auto-zero -- reference electrical-potential-difference VR+10mV the time of becoming -- buffer amplifier BF-OP Output voltage OUT since it becomes the reference electrical potential difference VR for auto-zero, and same electric potential -- amplifying-circuit AZ-OP An output is stabilized.

[0010] amplifying-circuit AZ-OP at this time Output voltage, i.e., buffer amplifier BF-OP, the offset voltage of a non-inversed input terminal (+) and an inversed input terminal (-) controls switch AZ-SW1 for auto-zero adjustment, and AZ-SW2 to an OFF state -- between the both ends of capacitor AZ-C for offset cancellation -- offset voltage OFFSETV \*\*\*\*\* -- it is held.

[0011] Moreover, it is buffer amplifier BF-OP temporarily. Output voltage OUT When there is offset (for example, +10mV offset) of the direction of + to the electrical potential difference of a non-inversed input terminal (+), it is offset voltage OFFSETV to capacitor AZ-C for offset cancellation by the same principle as the above. It is held.

[0012] here -- being careful -- amplifying-circuit AZ-OP Even if offset exists in the very thing, about a part for this offset, it will remain as it is, without the ability amending. Next, when switch IN-SW1 is controlled by the ON state at the time of

normal operation (input mode), input voltage IN is buffer amplifier BF-OP. It minds and is buffer amplifier BF-OP. Output voltage OUT It becomes. Therefore, buffer amplifier BF-OP It means that offset voltage was canceled.

[0013] By the way, by the conventional method which was described above, since capacitor AZ-C for offset cancellation is inserted in an input signal line, following each point poses a problem.

(1) Capacity value and buffer amplifier BF-OP of capacitor AZ-C for offset cancellation Since the reallocation of a charge arises with the parasitic capacitance Ck between a non-inversed input terminal (+) and a touch-down node, capacity of capacitor AZ-C for offset cancellation must be enlarged so that the capacity factor of capacitor AZ-C for offset cancellation and parasitic capacitance Ck may be enlarged enough. In this case, since the above-mentioned parasitic capacitance Ck is nonlinear, it is necessary to take that part into consideration. Moreover, the capacity of capacitor AZ-C for offset cancellation is influenced by the electrical-potential-difference dependence property.

[0014] (2) Capacity of capacitor AZ-C for offset cancellation must be enlarged so that a part for the feed-through charge generated when switch AZ-SW1 for auto-zero adjustment and AZ-SW2 are OFF states can be permitted.

[0015] Then, what has good properties, such as capacity between wiring of bilayer polish recon wiring with few electrical-potential-difference dependence properties as capacitor AZ-C for offset cancellation, must be used, and it must be set as moreover sufficiently big capacity value.

[0016] However, when it does in this way, the rise of a manufacturing cost will be imitated and it will be restrained not only about \*\* but about auto-zero adjustment precision and a working speed. Moreover, when the further high degree of accuracy was required, even if it used what has good properties, such as capacity between wiring of bilayer polish recon wiring which was described above, it was difficult [ it ] to attain a desired property.

[0017] In addition, there is a thing of a configuration of having eliminated the

capacitor of an input signal line, as shown in drawing 7 in the auto-zero equalization circuit used in order to amend offset of a bipolar amplifying circuit.

[0018] In drawing 7 , IN-SW1 and AZ-SW1 are the switches for making change-over selection of an input (IN) and the reference electrical potential difference VR for auto-zero. BF-OP It is the buffer amplifier which consists of a bipolar mold operation amplifying circuit which an inversed input terminal (-) is connected to each selection outgoing end of two above-mentioned switch IN-SW1 and AZ-SW1 through the resistance element RS for an input, and the reference electrical potential difference VR for auto-zero inputs into a non-inversed input terminal (+).

[0019] RF is above-mentioned buffer amplifier BF-OP. The resistance element for feedback connected between the output side and the inversed input terminal (-) and IN-SW2 are above-mentioned buffer amplifier BF-OP. It is the switch connected to the output side.

[0020] AZ-C is above-mentioned buffer amplifier BF-OP. It is the capacitor for offset cancellation connected through switch AZ-SW1 between the output side and the touch-down node. AZ-OP Above-mentioned buffer amplifier BF-OP Output voltage OUT It is an amplifying circuit for amplifying offset, and the series connection node of above-mentioned ITCHI AZ-SW1 and capacitor AZ-C for offset cancellation inputs into a non-inversed input terminal (+), and the reference electrical potential difference VR consists of a bipolar mold operation amplifying circuit inputted into an inversed input terminal (-) through a resistance element R2. And this bipolar mold operation amplifying-circuit AZ-OP The capacitor C1 is connected between the output side and the inversed input terminal (-).

[0021] However, since an input impedance becomes low, the configuration of drawing 7 is difficult for adopting it as the auto-zero equalization circuit of the CMOS amplifying circuit which has a high input impedance.

[0022] Moreover, since a part for offset voltage was intentionally added and seen in the exterior of an operation amplifying circuit, upper cancellation is performed and the constraint on use arose in the non-inversed input terminal (+) and the inversed input terminal (-), above-mentioned drawing 6 and the circuit shown in

drawing 7 were not user-friendly.

[0023]

[Problem(s) to be Solved by the Invention] As described above, since the auto-zero equalization circuit of the conventional CMOS amplifying circuit inserted the capacitor (AZ-C) for offset cancellation in the input signal line, the property and capacity value had much constraint, it imitated the rise of a manufacturing cost, and had the problem that it was restrained not only about \*\* but about auto-zero adjustment precision and a working speed. Moreover, since a part for offset voltage was intentionally added and seen in the exterior of an operation amplifying circuit, upper cancellation is performed and the constraint on use arose in the non-inversed input terminal (+) and the inversed input terminal (-), there was a problem of not being user-friendly.

[0024] This invention was made that the above-mentioned trouble should be solved, and eliminates the capacitor for offset cancellation from an input signal line, and while attaining a high auto-zero adjustment precision, it aims at offering the CMOS analog circuit which can realize the capacitor for offset cancellation with a cheap MOS capacitor.

[0025]

[Means for Solving the Problem] The CMOS analog circuit of the 1st invention A non-inversed input terminal, an inversed input terminal, The 1st buffer amplifier with which it consists of a CMOS operation amplifying circuit which has an output terminal and a terminal for offset adjustment, short circuit connection of said output terminal and inversed input terminal is made, and input voltage is impressed to said non-inversed input terminal, The difference of each electrical potential difference of two input terminals of said 1st buffer amplifier is detected, the electrical potential difference of said terminal for offset adjustment is controlled according to the difference, and it is characterized by providing the control circuit which amends offset of two input terminals of said 1st buffer amplifier.

[0026] The CMOS analog circuit of the 2nd invention A non-inversed input

terminal, an inversed input terminal, The 1st buffer amplifier with which it consists of a CMOS operation amplifying circuit which has an output terminal and a terminal for offset adjustment, and short circuit connection of said output terminal and inversed input terminal is made, The 2nd buffer amplifier with which it consists of a CMOS operation amplifying circuit which has a non-inversed input terminal, an inversed input terminal, and an output terminal, short circuit connection of said output terminal and inversed input terminal is made, and the input voltage of Channel A is impressed to said non-inversed input terminal, The 1st switch for the auto-zero adjustment for impressing alternatively the input voltage electrical potential difference of said channel A to the non-inversed input terminal of said 1st buffer amplifier, The switch for the input for impressing the input voltage of Channel B to the non-inversed input terminal of said 1st buffer amplifier alternatively, The switch for the output for outputting alternatively the output voltage of said 1st buffer amplifier, and the output voltage of said 2nd buffer amplifier to an output node, The difference of the electrical potential difference of each output terminal of said two buffer amplifier is detected, the electrical potential difference of the terminal for offset adjustment of said 1st buffer amplifier is controlled according to the difference, and it is characterized by providing the control circuit which amends offset of each output terminal of said two buffer amplifier.

[0027] The CMOS analog circuit of the 3rd invention A non-inversed input terminal, an inversed input terminal, The 1st buffer amplifier with which it consists of a CMOS operation amplifying circuit which has an output terminal and a terminal for offset adjustment, and short circuit connection of said output terminal and inversed input terminal is made, The 2nd buffer amplifier with which it consists of a CMOS operation amplifying circuit which carries out a non-inversed input terminal, an inversed input terminal, and an output terminal, and the input voltage of Channel A is impressed to said non-inversed input terminal, The 1st switch for the auto-zero adjustment for impressing alternatively the input voltage electrical potential difference of said channel A to the non-inversed input terminal

of said 1st buffer amplifier, The switch for the input for impressing the input voltage of Channel B to the non-inversed input terminal of said 1st buffer amplifier alternatively, The resistance partial pressure circuit which is connected between the output terminal of said 2nd buffer amplifier, and the output terminal of the 1st buffer amplifier, and has two or more partial pressure nodes, Two or more switches for gain control connected respectively corresponding to between said two or more partial pressure nodes and inversed input terminals of said 2nd buffer amplifier, The resistance element connected between the output terminal of said 2nd buffer amplifier, and the reference voltage node, Detect the difference of the electrical potential difference of each output terminal of said two buffer amplifier, and the electrical potential difference of the terminal for offset adjustment of said 1st buffer amplifier is controlled according to the difference. It is characterized by providing the buffer amplifier for an output which consists of a control circuit which amends offset of each output terminal of said two buffer amplifier, and a CMOS operation amplifying circuit which amplifies and outputs the difference of the electrical potential difference of each output terminal of said two buffer amplifier.

[0028]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained to a detail with reference to a drawing.

<1st example> drawing 1 shows the auto-zero equalization circuit of the CMOS amplifying circuit concerning the 1st example of this invention.

[0029] Buffer amplifier BF-OPC which consists of a CMOS operation amplifying circuit in drawing 1 is the 3rd terminal C for the offset adjustment for realizing offset adjustment of the amplifying circuit itself apart from a non-inversed input terminal (+), an inversed input terminal (-), and an output terminal. It has, and short circuit connection of the output terminal and inversed input terminal (-) is made, and input voltage IN is impressed to the non-inversed input terminal (+).

[0030] A control circuit 11 detects the difference of each electrical potential difference of two signal terminals (+), i.e., a non-inversed input terminal, to set for

offset amendment of said buffer amplifier BF-OPC, and an inversed input terminal (-), responds to the difference, and is the 3rd terminal C of said buffer amplifier BF-OPC. An electrical potential difference is controlled.

[0031] As for this control circuit 11, the electrical potential difference of the non-inversed input terminal (+) of said buffer amplifier BF-OPC and the electrical potential difference of an inversed input terminal (-) correspond. A non-inversed input terminal (+), CMOS operation amplifying-circuit AZ-OP for auto-zero control inputted into an inversed input terminal (-). This operation amplifying-circuit AZ-OP Switch AZ-SW1 for auto-zero adjustment and capacitor AZ-C for offset cancellation which were connected to the serial between the output terminal and the touch-down node are provided. It is the electrical potential difference for amendment (that is, electrical potential difference of the connection node of switch AZ-SW1 and capacitor AZ-C for offset cancellation) held at capacitor AZ-C for the above-mentioned offset cancellation. Said buffer amplifier BF-OP 3rd terminal C It supplies.

[0032] In addition, switch AZ-SW1 for the above-mentioned auto-zero adjustment is controlled by the ON state at the time of auto-zero adjustment, and is controlled by the OFF state at the time of normal operation. Hereafter, actuation of the auto-zero equalization circuit of the CMOS amplifying circuit of drawing 1 is described.

[0033] At the time of auto-zero adjustment, the fixed electrical potential difference which serves as criteria as input voltage IN is supplied, and switch AZ-SW1 for auto-zero adjustment is controlled by the ON state. In this condition, a control circuit 11 is the difference of each electrical potential difference of the non-inversed input terminal (+) of buffer amplifier BF-OPC, and an inversed input terminal (-). Operation amplifying-circuit AZ-OP for auto-zero control It amplifies and is buffer amplifier BF-OP as an electrical potential difference for amendment. 3rd terminal C It supplies.

[0034] It is [ as opposed to / temporarily / at this time / input voltage IN ] buffer amplifier BF-OP. Output voltage OUT When low, it is the 3rd terminal C of buffer

amplifier BF-OPC. It becomes high, it takes to it and an electrical potential difference is the output voltage OUT of buffer amplifier BF-OPC. It goes up and is the output voltage OUT of buffer amplifier BF-OPC. A control loop is completed and stabilized when input voltage IN and same electric potential are reached. 3rd terminal C of buffer amplifier BF-OPC at this time By controlling switch AZ-SW1 for auto-zero adjustment to an OFF state, an electrical potential difference (the electrical potential difference CABV for offset adjustment) is held by capacitor AZ-C for offset cancellation, and auto-zero actuation completes it.

[0035] At the time of normal operation (input mode), input voltage IN is the output voltage OUT of buffer amplifier BF-OPC. Since it becomes, it means that the offset voltage of buffer amplifier BF-OPC was canceled.

[0036] The electrical potential difference for offset adjustment will be held with fixed potential to a touch-down node by capacitor AZ-C for offset cancellation connected between an input signal line and a touch-down node, it is not necessary to insert capacitor AZ-C for offset cancellation in an input signal line, and, according to the auto-zero equalization circuit of a CMOS amplifying circuit which was mentioned above, it becomes possible to carry out the DC coupling of the input signal line to the input terminal of a CMOS amplifying circuit.

[0037] Therefore, even if an electrical-potential-difference dependency is in capacitor AZ-C the parasitic capacitance between an input signal line and a touch-down node, and for offset cancellation, a problem stops arising and high degree of accuracy becomes is easy to be acquired. Moreover, capacitor AZ-C for offset cancellation holds DC electrical potential difference between touch-down nodes (a power node is sufficient), becomes possible [ using an MOS capacitor ], and becomes cheap [ the manufacturing cost ].

[0038] In addition, operation amplifying-circuit AZ-OP for the auto-zero control in drawing 1 The offset voltage of the very thing is considered. Buffer amplifier BF-OPC of the input signal line mentioned above is operation amplifying-circuit AZ-OP for auto-zero control, although the size of an usable transistor has a limit and offset voltage also tends to become large, since various properties are related.

Only DC signal is treated fundamentally, and since it is usable to sufficient time amount, it is possible to design so that the offset voltage may become sufficiently small.

[0039] Furthermore, since according to the auto-zero equalization circuit of the CMOS amplifying circuit of the 1st example of the above the constraint on use does not arise in the non-inversed input terminal (+) of buffer amplifier BF-OPC, and an inversed input terminal (-) and potential doubling between two terminals is performed, user-friendliness does not worsen.

[0040] Moreover, since it is only possible for only performing offset adjustment of the non-inversed input terminal (+) of a CMOS amplifying circuit and an inversed input terminal (-) to double the potential difference between 2 terminals like the 1st example of the above as for this invention, the Field of application is large, for example, can consider various applications, such as a gain control AMPR duplex correlation sampling (Correlated Double Sampling;CDS) circuit, and shows two or more applications hereafter.

[0041] <2nd example> drawing 2 shows the auto-zero equalization circuit for amending channel to channel offset of the CMOS multiplexer circuit concerning the 2nd example.

[0042] It is the 3rd terminal C for offset adjustment for the 1st buffer amplifier (BF-OPC) to realize offset adjustment of the amplifying circuit itself in drawing 2 apart from a non-inversed input terminal (+), an inversed input terminal (-), and an output terminal. It consists of a CMOS operation amplifying circuit which it has, and short circuit connection of the output terminal and inversed input terminal (-) is made.

[0043] 2nd buffer amplifier BF-OP It consists of a CMOS operation amplifying circuit which has a non-inversed input terminal (+), an inversed input terminal (-), and an output terminal, and short circuit connection of the output terminal and inversed input terminal (-) is made.

[0044] Input voltage IN-A of Channel A is said 2nd buffer amplifier BF-OP. While being impressed by the non-inversed input terminal (+), it is alternatively

impressed by the non-inversed input terminal (+) of said 1st buffer amplifier BF-OPC through switch AZ-SW1 for auto-zero adjustment.

[0045] Input voltage IN-B of Channel B is alternatively impressed to the non-inversed input terminal (+) of said 1st buffer amplifier BF-OPC through switch IN-SW1 for an input. Said 2nd buffer amplifier BF-OP An output terminal is switch OUT-SW1 for an output. It minds, and connects with an output node and the output terminal of said 1st buffer amplifier BF-OPC is switch OUT-SW2 for an output. It minds and connects with said output node.

[0046] A control circuit 21 detects the difference of the electrical potential difference of each output terminal of two signal terminals, i.e., said two buffer amplifier BF-OP, to set for offset amendment, and BF-OPC, responds to the difference, and is the 3rd terminal C of said 1st buffer amplifier BF-OPC. An electrical potential difference is controlled.

[0047] This control circuit 21 is said 2nd buffer amplifier BF-OP. The electrical potential difference of an output terminal and the electrical potential difference of the output terminal of 1st buffer amplifier BF-OPC correspond. Non-inversed input terminal (+), CMOS operation amplifying-circuit AZ-OP for auto-zero control inputted into an inversed input terminal (-) This operation amplifying-circuit AZ-OP Switch AZ-SW2 for auto-zero adjustment and capacitor AZ-C for offset cancellation which were connected to the serial between the output terminal and the touch-down node are provided. It is the electrical potential difference for amendment (that is, electrical potential difference of the connection node of switch AZ-SW1 and capacitor AZ-C for offset cancellation) held at capacitor AZ-C for the above-mentioned offset cancellation Said 1st buffer amplifier BF-OP 3rd terminal C It supplies.

[0048] In addition, switch AZ-SW1 and AZ-SW2 for the above-mentioned auto-zero adjustment are controlled by the ON state at the time of auto-zero adjustment, and are controlled by the OFF state at the time of normal operation. Moreover, switch IN-SW1 for said input is controlled by the OFF state at the time of auto-zero adjustment, and is controlled by the ON state at the time of normal

operation. Moreover, switch OUT-SW1 for an output And OUT-SW2 It is controlled by the OFF state at the time of auto-zero adjustment, and is alternatively controlled by the ON state at the time of normal operation.

[0049] Hereafter, actuation of the auto-zero equalization circuit of the CMOS multiplexer circuit of drawing 2 is described. At the time of auto-zero adjustment, the fixed electrical potential difference which serves as criteria as input voltage IN-A of Channel A is supplied, and switch AZ-SW1 for auto-zero adjustment and AZ-SW2 are controlled by the ON state. In this condition, a control circuit 21 is the difference of the electrical potential difference of each output terminal of two buffer amplifier BF-OP and BF-OPC Operation amplifying-circuit AZ-OP for auto-zero control It amplifies and is the 3rd terminal C of 1st buffer amplifier BF-OPC as an electrical potential difference for amendment. It supplies.

[0050] Thereby, a control loop is completed and stabilized when the electrical potential difference of each output terminal of two buffer amplifier BF-OP and BF-OPC reaches same electric potential. 3rd terminal C of 1st buffer amplifier BF-OPC at this time By controlling switch AZ-SW2 for auto-zero adjustment to an OFF state, an electrical potential difference (the electrical potential difference CABV for offset adjustment) is held by capacitor AZ-C for offset cancellation, and auto-zero actuation completes it.

[0051] At the time of normal operation (input mode), switch IN-SW1 for an OFF state and an input in switch AZ-SW1 for auto-zero adjustment is controlled by the ON state, and input voltage IN-A of Channel A is said 2nd buffer amplifier BF-OP. It means that it becomes an output, input voltage IN-B of Channel B serves as an output of said 1st buffer amplifier BF-OPC through switch IN-SW1 for an input, and the offset voltage between two channels A and B was canceled.

[0052] And two switch OUT-SW1 for an output and OUT-SW2 An ON state's control of either will output input voltage IN-A of Channel A, or input voltage IN-B of Channel B.

[0053] According to the auto-zero equalization circuit of the CMOS multiplexer circuit of the 2nd example of the above The same effectiveness as the auto-zero

equalization circuit of the CMOS amplifying circuit of the 1st example is acquired fundamentally, and also The \*\* which does not need the operation amplifying circuit for auto-zero control of dedication to two channels, respectively, one operation amplifying-circuit AZ-OP for auto-zero control it used -- the offset voltage between channels can be simply canceled by the configuration, and it can decrease to the offset voltage for one step of operation amplifying-circuit AZ-OP for auto-zero control.

[0054] <3rd example> drawing 3 shows the auto-zero equalization circuit for amending offset of the CMOS gain control amplifying circuit concerning the 3rd example.

[0055] The CMOS gain control amplifying circuit shown in drawing 3 is 2nd buffer amplifier BF-OP for channel A, when controlling the gain at the time of amplifying the difference electrical potential difference of input voltage IN-A of Channel A, and input voltage IN-B of Channel B and performing 10 times as many magnification as this temporarily. Since the offset voltage produced between 1st buffer amplifier BF-OPC for channel B will be amplified 10 times and it will appear, high degree of accuracy is required.

[0056] Then, it controls by the auto-zero equalization circuit shown in drawing 3 to double the output of two buffer amplifier BF-OP of the first rank, and BF-OPC. That is, in drawing 3 , 1st buffer amplifier BF-OPC consists of a CMOS operation amplifying circuit which has the 3rd terminal (CABV) for the offset adjustment for realizing offset adjustment of the amplifying circuit itself apart from a non-inversed input terminal (+), an inversed input terminal (-), and an output terminal, and short circuit connection of the output terminal and inversed input terminal (-) is made.

[0057] 2nd buffer amplifier BF-OP It consists of a CMOS operation amplifying circuit which has a non-inversed input terminal (+), an inversed input terminal (-), and an output terminal. Input voltage IN-A of Channel A is said 2nd buffer amplifier BF-OP. While being impressed by the non-inversed input terminal (+), it is alternatively impressed by the non-inversed input terminal (+) of said 1st buffer

amplifier BF-OPC through switch AZ-SW1 for auto-zero adjustment.

[0058] Input voltage IN-B of Channel B is alternatively impressed to the non-inversed input terminal (+) of said 1st buffer amplifier BF-OPC through switch IN-SW1 for an input. Said 2nd buffer amplifier BF-OP The resistance partial pressure circuit 30 is connected between the output terminal and the output terminal of 1st buffer amplifier BF-OPC. The thing to which this resistance partial pressure circuit 30 has a partial pressure node in two or more mid-position of one polish recon resistance element (for example, polish recon resistance element), or the thing which has a partial pressure node in each series connection location of two or more polish recon resistance elements (for example, polish recon resistance element) by which series connection was carried out is used.

[0059] And two or more partial pressure nodes and said 2nd buffer amplifier BF-OP An inversed input terminal (-) corresponds, respectively and is connected through switch GC-SWi for gain control ( $i = 1, 2, \dots, n$ ).

[0060] Furthermore, said 2nd buffer amplifier BF-OP An output terminal is resistance GC-R2. Buffer amplifier BF-OP for an output which minds and consists of a CMOS operation amplifying circuit It connects with the non-inversed input terminal (+), and the output terminal of said 1st buffer amplifier BF-OPC is resistance GC-R4. It minds and is buffer amplifier BF-OP for said output. It connects with the inversed input terminal (-). And buffer amplifier BF-OP for this output A non-inversed input terminal (+) is resistance GC-R3. It minds, connects with the reference voltage node VR, and is buffer amplifier BF-OP for the above-mentioned output. Between an output terminal and an inversed input terminal (-), it is resistance GC-R5. It connects.

[0061] A control circuit 31 detects the difference of the electrical potential difference of each output terminal of two signal terminals, i.e., said two buffer amplifier BF-OP, to set for offset amendment, and BF-OPC, responds to the difference, and is the 3rd terminal C of said 1st buffer amplifier BF-OPC. An electrical potential difference CABV is controlled.

[0062] This control circuit 31 is said 2nd buffer amplifier BF-OP. The electrical

potential difference of an output terminal and the electrical potential difference of the output terminal of 1st buffer amplifier BF-OPC correspond. Non-inversed input terminal (+), CMOS operation amplifying-circuit AZ-OP for auto-zero control inputted into an inversed input terminal (-) This operation amplifying-circuit AZ-OP Switch AZ-SW2 for auto-zero adjustment and capacitor AZ-C for offset cancellation which were connected to the serial between the output terminal and the touch-down node are provided. It is the electrical potential difference for amendment (that is, electrical potential difference of the connection node of switch AZ-SW1 and capacitor AZ-C for offset cancellation) held at capacitor AZ-C for the above-mentioned offset cancellation Said 1st buffer amplifier BF-OP 3rd terminal C It supplies.

[0063] In addition, switch AZ-SW1 and AZ-SW2 for the above-mentioned auto-zero adjustment are controlled by the ON state at the time of auto-zero adjustment, and are controlled by the OFF state at the time of normal operation. Moreover, switch IN-SW1 for said input is controlled by the OFF state at the time of auto-zero adjustment, and is controlled by the ON state at the time of normal operation. Moreover, at the time of auto-zero adjustment, the switch of a request of the time of normal operation is chosen, and switch GC-SWi for gain control ( $i=1, 2, \dots, n$ ) is controlled by the ON state.

[0064] Here, gain control magnification actuation of the CMOS gain control amplifying circuit of drawing 3 is described. In the condition that the input is impressed to two buffer amplifier BF-OP and BF-OPC The electrical potential difference of the partial pressure node to which what was chosen among switch GC-SWi for gain control ( $i=1, 2, \dots, n$ ) is connected becomes equal to input voltage IN-A of Channel A. The difference of the electrical potential difference of the above-mentioned partial pressure node and the output voltage of 1st buffer amplifier BF-OPC is equal to the electrical-potential-difference difference of input voltage IN-A of Channel A, and input voltage IN-B of Channel B.

[0065] Therefore, the above-mentioned electrical-potential-difference difference is the resistance between the above-mentioned partial pressure node and the

output terminal of 1st buffer amplifier BF-OPC, the above-mentioned partial pressure node, and 2nd buffer amplifier BF-OP. It is amplified depending on a ratio with the resistance between output terminals. 2nd buffer amplifier BF-OP In an output terminal, the electrical-potential-difference difference of input voltage IN-A of Channel A and input voltage IN-B of Channel B will be amplified 10 times, and it will appear.

[0066] Next, actuation of the auto-zero equalization circuit of the CMOS gain control amplifying circuit of drawing 3 is described. At the time of auto-zero adjustment, it is input voltage IN-A of Channel A Usual buffer amplifier BF-OP While carrying out buffer magnification, it is the 3rd terminal C for offset adjustment. Buffer magnification is carried out by buffer amplifier BF-OPC which it has, and it responds to the difference of each output voltage of these two buffer amplifier BF-OP and BF-OPC, and is the 3rd terminal C of said buffer amplifier BF-OPC. An electrical potential difference is controlled.

[0067] Thereby, a control loop is completed and stabilized when the electrical potential difference of each output terminal of two buffer amplifier BF-OP and BF-OPC reaches same electric potential. 3rd terminal C of 1st buffer amplifier BF-OPC at this time By controlling switch AZ-SW2 for auto-zero adjustment to an OFF state, an electrical potential difference (electrical potential difference for offset adjustment) is held by capacitor AZ-C for offset cancellation, and auto-zero actuation completes it.

[0068] At the time of normal operation (input mode), switch IN-SW1 for an OFF state and an input in switch AZ-SW1 for auto-zero adjustment is controlled by the ON state, and input voltage IN-A of Channel A is said 2nd buffer amplifier BF-OP. It means that it becomes an output, input voltage IN-B of Channel B serves as an output of said 1st buffer amplifier BF-OPC through switch IN-SW1 for an input, and the offset voltage between two channels A and B was canceled.

[0069] According to the auto-zero equalization circuit of the CMOS multiplexer circuit of the 3rd example of the above, the same effectiveness as the auto-zero equalization circuit of the CMOS amplifying circuit of the 2nd example is acquired.

In this case, by input conversion since it not only can reduce the offset voltage between two channels to the offset voltage for one step of operation amplifying-circuit AZ-OP for auto-zero control, but the output after amplifying 10 times is adjusted, it is operation amplifying-circuit AZ-OP for auto-zero control.

Effectiveness equivalent to having reduced an offset part to 1/10 is acquired.

[0070] In addition, the analog switch with which each switch of each of said example consists of a transistor etc. is used. Next, two concrete examples of a CMOS amplifying circuit which have an offset adjustment function in said each example are explained, referring to drawing 4 and drawing 5 .

[0071] Drawing 4 shows the example which added the offset adjustment function to the 1 stage type CMOS amplifying circuit. It sets to drawing 4 and they are NMOS transistor MN2 -MN8 and the PMOS transistors MP2-MP6. The CMOS amplifying circuit of one stage is constituted and NMOS transistor MN1C and PMOS transistor MP1C - MP3C are added for offset adjustment.

[0072] Namely, the transistor MN3 for input magnification which makes a differential pair in drawing 4 and MN4 Each gate corresponds and input voltage (IN-P) and (IN-M) input it from the non-inversed input terminal (+) of an amplifying circuit, and an inversed input terminal (-). The above-mentioned differential pair transistor MN3 and MN4 A common source connection node is the transistor MN2 for current sources. It is minded and grounded and is the transistor MN2 for these current sources. The gate is bias input voltage (NB1). It is impressed. Moreover, the above-mentioned differential pair transistor MN3 and MN4 It corresponds between each drain and a power-source (Vcc) node, and they are the transistor MP 2 for loads, and MP3. It connects.

[0073] and the above-mentioned differential pair transistor MN3 and MN4 each drain -- corresponding -- transistors [ MP / MP and / 5 ] 4 for an output it connects -- having -- \*\*\*\* -- transistors [ MP / MP and / 5 ] 4 for this output each drain -- a transistor MN5 and MN6 from -- it grounds through the becoming current Miller circuit -- having -- \*\*\*\* -- transistor MP 5 for said output a drain electrical potential difference -- output terminal OUT of an amplifying circuit It outputs.

[0074] Transistors [ MP / MP and / 5 ] 4 for the above-mentioned output It is bias voltage PB2 to each gate. As the 1st bias circuit for impressing Transistor MP 6 to which gate drains were connected And transistor MN7 It connects with the serial between the Vcc node and the touch-down node. One transistor MN7 It is said bias input voltage NB1 to the gate. It is impressed and is the transistor MP 6 of another side. Transistors [ MP / MP and / 5 ] 4 for said output in a gate drain connection node It connects with each gate.

[0075] Moreover, the transistor MP 2 for said loads and MP3 It is bias voltage PB1 to each gate. As the 2nd bias circuit for impressing Transistor MP 7 to which gate drains were connected And transistor MN8 It connects with the serial between the Vcc node and the touch-down node. One transistor MN8 It is said bias input voltage NB1 to the gate. It is impressed and is the transistor MP 7 of another side. The transistor MP 2 for said loads in a gate drain connection node, and MP3 It connects with each gate.

[0076] Furthermore, the transistor MP 2 for said loads and MP3 It corresponds, transistor MP2C for load amendment and MP3C are connected to juxtaposition, and it is bias voltage PB1 from said 2nd bias circuit in the gate of transistor MP2C for one load amendment. The 3rd bias circuit for being impressed and impressing bias voltage CABB to the gate of transistor MP3C for load amendment of another side is prepared.

[0077] This 3rd bias circuit consists of current Miller circuit where transistor MP1C and transistor MN1C to which gate drains were connected were connected to the serial between the Vcc node and the touch-down node. the gate of one transistor MN1C -- 3rd terminal C of an amplifying circuit from -- the electrical potential difference CABV for offset amendment is impressed, and the gate drain connection node of transistor MP1C of another side is connected to the gate of transistor MP3C for load amendment of said another side.

[0078] Next, actuation of the circuit of drawing 4 is explained. 3rd terminal C from -- the electrical potential difference CABV for offset amendment to input is changed into bias voltage CABB in the 3rd bias circuit. In this case, it is the size

of said transistor MP2=MP3, MP2C=MP3C, and MP2 C<MP2 It shall be set as relation.

[0079] First, bias voltage CABB is bias voltage PB1. It is the same as current IP2C which flows to transistor MP2C for load amendment, and current IP3C which will flow to transistor MP3C for load amendment if it is same electric potential is the differential pair transistor MN3 and MN4. Currents IN3 and IN4 which flow, respectively It becomes equal. That is, when input voltage IN-P of a non-inversed input terminal (+) and input voltage IN-M of an inversed input terminal (-) are same electric potential, they are a current IN3 and IN4. Since it becomes equal, offset is not produced.

[0080] on the other hand, 3rd terminal C The electrical potential difference CABV for offset amendment to input rises. from -- When bias voltage CABB changed in the 3rd bias circuit falls, The current of current IP3C which flows to transistor MP3C for load amendment will increase from current IP2C which flows to transistor MP2C for load amendment, and the increment will flow in the path of a transistor MN5 and the current Miller circuit which consists of MN6.

[0081] Therefore, the differential pair transistor MN3 and MN4 One current IN3 It decreases and is the current IN4 of another side. It will increase. That is, the differential pair transistor MN3 and MN4 Since it will balance when input voltage IN-M of an inversed input terminal (-) becomes higher than input voltage IN-P of a non-inversed input terminal (+), offset arises.

[0082] the above -- reverse -- 3rd terminal C from -- also when the electrical potential difference CABV for offset amendment to input falls, offset arises according to the above-mentioned actuation. Thus, the circuit of drawing 4 has realized adjustment of input offset voltage by carrying out adjustable [ of the operating current ].

[0083] Drawing 5 shows the example which added the offset adjustment function to the 2 stage type CMOS amplifying circuit. The CMOS amplifying circuit of two stages is constituted by NMOS transistor MN2 -MN4, MN10, the PMOS transistor MP 2, MP3, and MP10 in drawing 5 , and they are NMOS transistor MN1C and

MN11C because of offset adjustment. And PMOS transistor MP1C - MP3C and MP11C It is added.

[0084] Namely, the transistor MN3 for input magnification which makes a differential pair in drawing 5 and MN4 Each gate corresponds and input voltage IN-P and IN-M input it from the non-inversed input terminal (+) of a CMOS amplifying circuit, and an inversed input terminal (-). The above-mentioned differential pair transistor MN3 and MN4 A common source connection node is the transistor MN2 for current sources. It is minded and grounded and is the transistor MN2 for these current sources. The gate is the bias input voltage NB1. It is impressed.

[0085] Moreover, the above-mentioned differential pair transistor MN3 and MN4 It corresponds between each drain and a Vcc node, and they are the transistor MP 2 for loads, and MP3. It connects. In this case, transistor MP 2 for one loads Transistor MP3 for [ gate drains are connected and ] the loads of another side in this gate drain connection node It connects with the gate and they are the transistor MP 2 for loads, and MP3. Current Miller circuit is formed.

[0086] the transistor MN3 for the above-mentioned input magnification, MN4, the transistor MN2 for current sources, the transistor MP 2 for loads, and MP3 the first rank -- an amplifying circuit -- constituting -- \*\*\*\* -- one transistor MN4 of the above-mentioned differential pair transistors The next step amplifying circuit is connected to the drain.

[0087] The transistor MP 10 and the transistor MN10 are connected to the serial between the Vcc node and the touch-down node, and this next step amplifying circuit is a capacitor C10 between the gate drains of the above-mentioned transistor MP 10. It connects and the gate of said transistor MN10 is said bias input voltage NB1. It is impressed.

[0088] the gate of the above-mentioned transistor MP 10 -- the first rank -- the output of an amplifying circuit -- inputting -- the electrical potential difference of the drain interconnect node of the above-mentioned transistor MP 10 and a transistor MN10 -- output terminal OUT of a CMOS amplifying circuit It outputs.

[0089] Furthermore, the transistor MP 2 for said loads and MP3 It corresponds, transistor MP2C for load amendment and MP3C are connected to juxtaposition, bias voltage CABB is impressed to the gate of transistor MP2C for one load amendment from the 1st bias circuit, and bias voltage CABR is impressed to the gate of transistor MP3C for load amendment of another side from the 1st bias circuit.

[0090] The 1st bias circuit of the above consists of current Miller circuit where transistor MP1C and transistor MN1C to which gate drains were connected were connected to the serial between the Vcc node and the touch-down node. the gate of one transistor MN1C -- 3rd terminal C of a CMOS amplifying circuit from -- the electrical potential difference CABV for offset amendment is impressed, and the gate drain connection node of transistor MP1C of another side is connected to the gate of transistor MP2C for one [ said ] load amendment.

[0091] Moreover, said 2nd bias circuit is transistor MP11C to which gate drains were connected. And transistor MN11C It consists of current Miller circuit connected to the serial between the Vcc node and the touch-down node. The gate of one transistor MN1C is said bias input voltage NB1. It is impressed and is transistor MP11C of another side. The gate drain connection node is connected to the gate of transistor MP3C for load amendment of said another side.

[0092] Next, actuation of the circuit of drawing 5 is explained. 3rd terminal C from -- the electrical potential difference for offset amendment to input is changed into bias voltage CABB in the 1st bias circuit. In this case, it is the size of said transistor MP2=MP3, MP2C=MP3C, and MP2 C<MP2 It shall be set as relation.

[0093] First, it is the same as current IP2C which flows to transistor MP2C for load amendment, and current IP3C which will flow to transistor MP3C for load amendment if bias voltage CABB(s) are bias voltage CABR and same electric potential is the differential pair transistor MN3 and MN4. Currents IN3 and IN4 which flow, respectively It becomes equal. That is, when input voltage IN-P of a non-inversed input terminal (+) and input voltage IN-M of an inversed input terminal (-) are same electric potential, they are a current IN3 and IN4. Since it

becomes equal, offset is not produced.

[0094] on the other hand, 3rd terminal C The electrical potential difference CABV for offset amendment to input rises. from -- When bias voltage CABB changed in the 1st bias circuit falls, The current of current IP2C which flows to transistor MP2C for load amendment will increase from current IP3C which flows to transistor MP3C for load amendment, and the increment will flow in the path of the current Miller circuit which consists of a transistor MP 2 and MP3.

[0095] Therefore, the differential pair transistor MN3 and MN4 One current IN3 It increases and is the current IN4 of another side. It will decrease. That is, the differential pair transistor MN3 and MN4 Since it will balance when input voltage IN-M of an inversed input terminal (-) becomes lower than input voltage IN-P of a non-inversed input terminal (+), offset arises.

[0096] the above -- reverse -- 3rd terminal C from -- also when the electrical potential difference CABV for offset amendment to input falls, offset arises according to the above-mentioned actuation. Thus, the circuit of drawing 5 has realized adjustment of input offset voltage by carrying out adjustable [ of the operating current ].

[0097] in addition, drawing 5 -- the first rank -- although offset is produced by carrying out adjustable [ of the bias current of an amplifying circuit ], the actuation with the same said of carrying out adjustable [ of the bias current of a next step amplifying circuit ] is realizable. however, offset of a next step amplifying circuit -- the first rank -- only a part to be amplified in an amplifying circuit decreases.

[0098]

[Effect of the Invention] As mentioned above, the auto-zero equalization circuit of the CMOS analog circuit which according to this invention can realize the capacitor for offset cancellation with a cheap MOS capacitor while eliminating the capacitor for offset cancellation from an input signal line and attaining a high auto-zero adjustment precision can be offered.

---

[Translation done.]

**\* NOTICES \***

**JPO and NCIPI are not responsible for any  
damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1] The circuit diagram showing the auto-zero equalization circuit for amending offset of the CMOS amplifying circuit concerning the 1st example of this invention.

[Drawing 2] The circuit diagram showing the auto-zero equalization circuit for amending channel to channel offset of the CMOS multiplexer circuit concerning the 2nd example.

[Drawing 3] The circuit diagram showing the auto-zero equalization circuit for amending offset of the CMOS gain control amplifying circuit concerning the 3rd example.

[Drawing 4] The circuit diagram showing one example of a CMOS amplifying circuit of having an offset adjustment function in drawing 1 thru/or drawing 3 .

[Drawing 5] The circuit diagram showing other examples of a CMOS amplifying circuit of having an offset adjustment function in drawing 1 thru/or drawing 3 .

[Drawing 6] The circuit diagram showing an example of the auto-zero equalization circuit of the conventional CMOS amplifying circuit.

[Drawing 7] The circuit diagram showing an example of the auto-zero equalization circuit of the conventional bipolar amplifying circuit.

[Description of Notations]

BF-OPC -- Buffer amplifier,  
C The 3rd terminal for -- offset adjustment,  
11 -- Control circuit,  
AZ-OP -- CMOS operation amplifying circuit for auto-zero control,  
AZ-SW1 -- Switch for auto-zero adjustment,  
AZ-C -- Capacitor for offset cancellation.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPI are not responsible for any  
damages caused by the use of this translation.

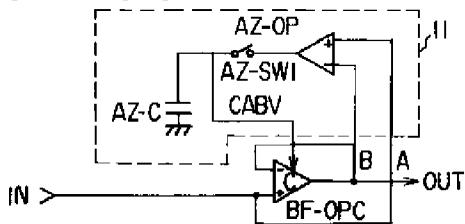
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

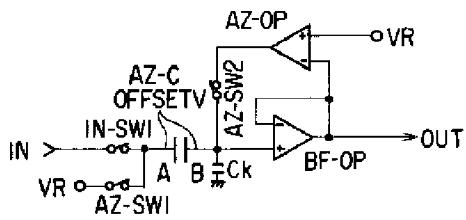
DRAWINGS

---

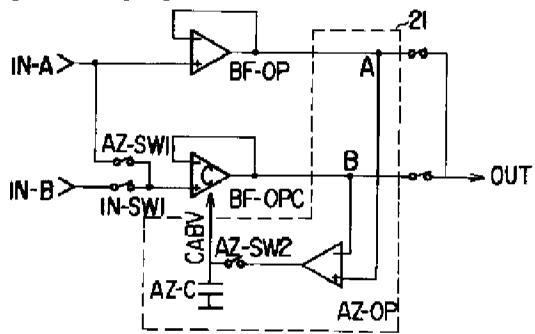
[Drawing 1]



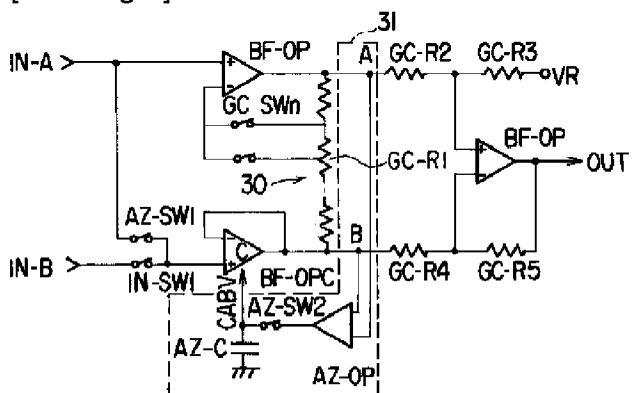
[Drawing 6]



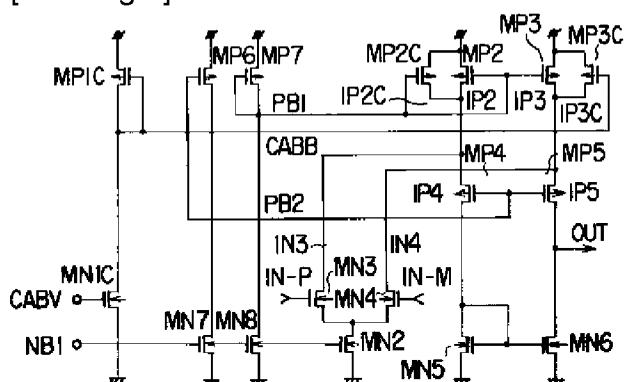
[Drawing 2]



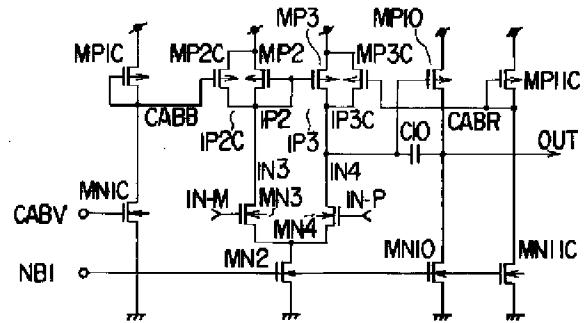
[Drawing 3]



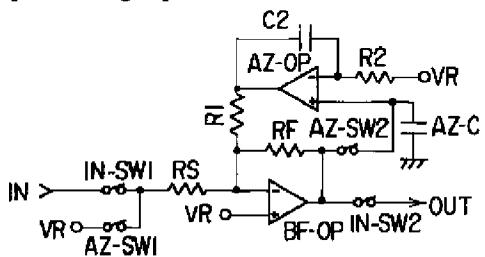
[Drawing 4]



[Drawing 5]



[Drawing 7]



---

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-4129

(P2000-4129A)

(43)公開日 平成12年1月7日(2000.1.7)

(51)Int.Cl.<sup>7</sup>

H 03 F 3/34  
3/45

識別記号

F I

H 03 F 3/34  
3/45

テーマコード\*(参考)

B 5 J 0 6 6  
Z 5 J 0 9 1

審査請求 未請求 請求項の数6 O L (全 12 頁)

(21)出願番号 特願平10-170005

(22)出願日 平成10年6月17日(1998.6.17)

(71)出願人 000221029

東芝エー・ブイ・イー株式会社  
東京都港区新橋3丁目3番9号

(71)出願人 000003078

株式会社東芝  
神奈川県川崎市幸区堀川町72番地

(72)発明者 武田 均  
東京都港区新橋3丁目3番9号 東芝エー・ブイ・イー株式会社内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

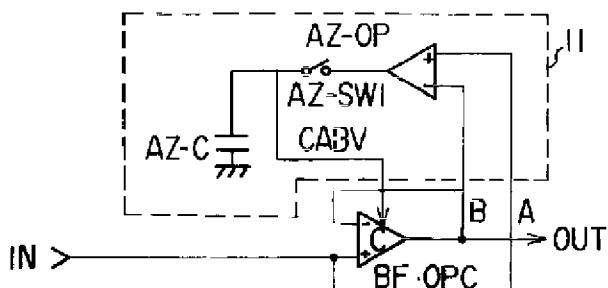
最終頁に続く

(54)【発明の名称】 CMOSアナログ回路

(57)【要約】

【課題】CMOSアナログ回路の入力信号ラインからオフセットキャンセル用のコンデンサを排除し、高いオートゼロ調整精度を達成すると共にオフセットキャンセル用のコンデンサを安価なMOSキャパシタで実現する。

【解決手段】非反転入力端子、反転入力端子、出力端子およびオフセット調整用端子Cを有するCMOS演算增幅回路からなり、出力端子と反転入力端子とは短絡接続され、非反転入力端子には入力電圧が印加されるバッファ・アンプBF-OPCと、バッファ・アンプの2つの入力端子の各電圧の差分を検出し、その差分に応じてオフセット調整用端子の電圧を制御し、バッファ・アンプの2つの入力端子のオフセットを補正する制御回路11とを具備する。



## 【特許請求の範囲】

【請求項1】 非反転入力端子、反転入力端子、出力端子およびオフセット調整用端子を有するCMOS演算增幅回路からなり、前記出力端子と反転入力端子とは短絡接続され、前記非反転入力端子には入力電圧が印加されるバッファ・アンプと、

前記バッファ・アンプの2つの入力端子の各電圧の差分を検出し、その差分に応じて前記オフセット調整用端子の電圧を制御し、前記バッファ・アンプの2つの入力端子のオフセットを補正する制御回路とを具備することを特徴とするCMOSアナログ回路。

【請求項2】 請求項1記載のCMOSアナログ回路において、

前記制御回路は、

前記第1のバッファ・アンプの2つの入力端子の電圧が対応して2つの入力端子に入力するオートゼロ制御用のCMOS演算增幅回路と、

前記オートゼロ制御用のCMOS演算增幅回路の出力端子と所定ノードとの間に直列に接続されたオートゼロ調整用のスイッチおよびオフセットキャンセル用のコンデンサとを具備し、

前記オートゼロ調整用のスイッチを所定期間オン状態に制御して前記第1のバッファ・アンプの2つの入力端子のオフセットがなくなるように前記オートゼロ制御用のCMOS演算增幅回路によりループ制御を行い、前記コンデンサに保持された補正用電圧を前記第1のバッファ・アンプのオフセット調整用端子に供給することを特徴とするCMOSアナログ回路。

【請求項3】 非反転入力端子、反転入力端子、出力端子およびオフセット調整用端子を有するCMOS演算增幅回路からなり、前記出力端子と反転入力端子とは短絡接続される第1のバッファ・アンプと、

非反転入力端子、反転入力端子および出力端子を有するCMOS演算增幅回路からなり、前記出力端子と反転入力端子とは短絡接続され、前記非反転入力端子にチャネルAの入力電圧が印加される第2のバッファ・アンプと、

前記第1のバッファ・アンプの非反転入力端子に前記チャネルAの入力電圧電圧を選択的に印加するためのオートゼロ調整用の第1のスイッチと、

前記第1のバッファ・アンプの非反転入力端子にチャネルBの入力電圧を選択的に印加するための入力用のスイッチと、

前記第1のバッファ・アンプの出力電圧および前記第2のバッファ・アンプの出力電圧を選択的に出力ノードに出力するための出力用のスイッチと、

前記2つのバッファ・アンプの各出力端子の電圧の差分を検出し、その差分に応じて前記第1のバッファ・アンプのオフセット調整用端子の電圧を制御し、前記2つのバッファ・アンプの各出力端子のオフセットを補正する

制御回路とを具備することを特徴とするCMOSアナログ回路。

【請求項4】 非反転入力端子、反転入力端子、出力端子およびオフセット調整用端子を有するCMOS演算增幅回路からなり、前記出力端子と反転入力端子とは短絡接続される第1のバッファ・アンプと、

非反転入力端子、反転入力端子および出力端子をするCMOS演算增幅回路からなり、前記非反転入力端子にチャネルAの入力電圧が印加される第2のバッファ・アンプと、

前記第1のバッファ・アンプの非反転入力端子に前記チャネルAの入力電圧電圧を選択的に印加するためのオートゼロ調整用の第1のスイッチと、

前記第1のバッファ・アンプの非反転入力端子にチャネルBの入力電圧を選択的に印加するための入力用のスイッチと、

前記第2のバッファ・アンプの出力端子と第1のバッファ・アンプの出力端子との間に接続され、複数の分圧ノードを有する抵抗分圧回路と、

前記複数の分圧ノードと前記第2のバッファ・アンプの反転入力端子との間にそれぞれ対応して接続されたゲインコントロール用の複数のスイッチと、

前記第2のバッファ・アンプの出力端子と基準電圧ノードとの間に接続された抵抗素子と、

前記2つのバッファ・アンプの各出力端子の電圧の差分を検出し、その差分に応じて前記第1のバッファ・アンプのオフセット調整用端子の電圧を制御し、前記2つのバッファ・アンプの各出力端子のオフセットを補正する制御回路と、

前記2つのバッファ・アンプの各出力端子の電圧の差分を増幅して出力するCMOS演算增幅回路からなる出力用のバッファ・アンプとを具備することを特徴とするCMOSアナログ回路。

【請求項5】 請求項3または4記載のCMOSアナログ回路において、

前記制御回路は、

前記第1のバッファ・アンプの出力端子の電圧および第2のバッファ・アンプの出力端子の電圧が対応して2つの入力端子に入力するオートゼロ制御用のCMOS演算增幅回路と、

前記オートゼロ制御用のCMOS演算增幅回路の出力端子と所定ノードとの間に直列に接続されたオートゼロ調整用の第2のスイッチおよびオフセットキャンセル用のコンデンサとを具備し、

前記オートゼロ調整用の第1のスイッチおよび第2のスイッチを所定期間オン状態に制御して前記2つのバッファ・アンプの各出力端子のオフセットがなくなるように前記オートゼロ制御用のCMOS演算增幅回路によりループ制御を行い、前記コンデンサに保持された補正用電圧を前記第1のバッファ・アンプのオフセット調整用端

子に供給することを特徴とするCMOSアナログ回路。

【請求項6】 請求項1乃至5のいずれか1項に記載のCMOSアナログ回路において、

前記オフセット調整用端子を有するバッファ・アンプは、

前記2つの入力端子から入力する電圧を差動増幅する差動増幅回路と、

前記オフセット調整用端子から入力する電圧を所望の電流に変換するカレントミラー回路と、

前記差動増幅回路に接続され、前記カレントミラー回路の出力により前記差動増幅回路のバイアス電流量を調整するように制御される回路とを具備することを特徴とするCMOSアナログ回路。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は、集積回路化されたCMOSアナログ回路に係り、特にCMOSアナログ回路のオフセットの補正を行うためのオフセット自動零調整回路（以下、オートゼロ調整回路と記す）に関するもので、例えばCCDなどの微小な出力信号を増幅する回路などに使用されるものである。

##### 【0002】

【従来の技術】一般に、入力オフセットが問題となるような高精度なアナログ回路を実現する際、回路のオフセットの補正を行うためにオートゼロ調整回路が用いられる。図6は、従来のCMOS増幅回路のオートゼロ調整回路の一例を示す。

【0003】図6において、IN-SW1およびAZ-SW1は入力電圧INとオートゼロ用リファレンス電圧VRを切換選択するためのスイッチである。即ち、一方のスイッチAZ-SW1はオートゼロ調整時にオン状態に制御されてオートゼロ用リファレンス電圧VRを選択して取り込むものであり、他方のスイッチIN-SW1は通常動作時にオン状態に制御されて入力電圧INを選択して取り込むものである。

【0004】AZ-Cは上記2個のスイッチAZ-SW1、IN-SW1の各選択出力ノードに一端が接続されたオフセットキャンセル用のコンデンサである。BF-OPは上記オフセットキャンセル用のコンデンサAZ-Cの他端に非反転入力端子（+）が接続され、その出力電圧OUTが反転入力端子（-）に入力する演算増幅回路からなるバッファ・アンプである。

【0005】AZ-OPは上記バッファ・アンプBF-OPの出力電圧OUTのオフセットを増幅するための増幅回路であり、上記バッファ・アンプBF-OPの出力電圧OUTが反転入力端子（-）に入力し、前記リファレンス電圧VRが非反転入力端子（+）に入力する演算増幅回路からなる。

【0006】AZ-SW2は上記増幅回路AZ-OPの出力端子と前記バッファ・アンプBF-OPの非反転入力端子（+）との間に接続され、オートゼロ調整時にオン状態に制御さ

れるスイッチである。

【0007】以下、図6のCMOS増幅回路のオートゼロ調整回路の動作について述べる。オートゼロ調整時には、オートゼロ調整用のスイッチAZ-SW1、AZ-SW2がオン状態に制御され、入力用のスイッチIN-SW1がオフ状態に制御される。この状態では、オフセットキャンセル用のコンデンサAZ-Cの入力側ノードAの電位はオートゼロ用リファレンス電圧VRとなる。

【0008】この場合、バッファ・アンプBF-OP、増幅回路AZ-OPのオフセットがそれぞれないと仮定すると、オフセットキャンセル用のコンデンサAZ-Cの出力側ノードBの電位もオートゼロ用リファレンス電圧VRとなる。

【0009】これに対して、仮に、バッファ・アンプBF-OPの出力電圧OUTが非反転入力端子（+）の電圧に対して-10mVのオフセットがある場合、増幅回路AZ-OPは、バッファ・アンプBF-OPの出力電圧OUTがオートゼロ用リファレンス電圧VRより低いとみなし、増幅回路AZ-OPの出力電圧は上昇して行く。そして、オフセットキャンセル用のコンデンサAZ-Cの出力側ノードBがオートゼロ用リファレンス電圧VR+10mVとなった時点で、バッファ・アンプBF-OPの出力電圧OUTはオートゼロ用リファレンス電圧VRと同電位となるので、増幅回路AZ-OPの出力は安定する。

【0010】この時の増幅回路AZ-OPの出力電圧、つまり、バッファ・アンプBF-OPの非反転入力端子（+）、反転入力端子（-）のオフセット電圧は、オートゼロ調整用のスイッチAZ-SW1、AZ-SW2をオフ状態に制御することによりオフセットキャンセル用のコンデンサAZ-Cの両端間にオフセット電圧OFFSETVとして保持される。

【0011】また、仮に、バッファ・アンプBF-OPの出力電圧OUTが非反転入力端子（+）の電圧に対して+方向のオフセット（例えば+10mVのオフセット）がある場合、上記と同様の原理により、オフセットキャンセル用のコンデンサAZ-Cにオフセット電圧OFFSETVが保持される。

【0012】ここで注意すべきは、増幅回路AZ-OP自体にオフセットが存在しても、このオフセット分については補正できずにそのまま残ることになる。次に、通常動作時（入力モード）に、スイッチIN-SW1がオン状態に制御されると、入力電圧INがバッファ・アンプBF-OPを通してバッファ・アンプBF-OPの出力電圧OUTとなる。従って、バッファ・アンプBF-OPのオフセット電圧は、キャンセルされることになる。

【0013】ところで、上記したような従来の方式では、入力信号ラインにオフセットキャンセル用のコンデンサAZ-Cを挿入するので、以下の各点が問題となる。

(1) オフセットキャンセル用のコンデンサAZ-Cの容量値およびバッファ・アンプBF-OPの非反転入力端子（+）と接地ノードとの間の寄生容量Ckによって電荷の再配分が生じるので、オフセットキャンセル用のコンデ

ンサAZ-Cと寄生容量Ckとの容量比を十分大きくするようオフセットキャンセル用のコンデンサAZ-Cの容量を大きくしなければならない。この場合、上記寄生容量Ckは非線形であるので、その分を考慮する必要がある。また、オフセットキャンセル用のコンデンサAZ-Cの容量は、電圧依存特性に影響される。

【0014】(2) オートゼロ調整用のスイッチAZ-SW1、AZ-SW2がオフ状態の時に発生するフィードスルー電荷分が許容できるようにオフセットキャンセル用のコンデンサAZ-Cの容量を大きくしなければならない。

【0015】そこで、オフセットキャンセル用のコンデンサAZ-Cとして電圧依存特性の少ない二層ポリシリコン配線の配線間容量など特性の良いものを使用しなければならず、しかも、十分大きな容量値に設定しなければならない。

【0016】しかし、このようにすると、製造コストの上昇をまねくだけでなく、オートゼロ調整精度および動作速度についても制約されることになる。また、さらなる高精度が要求される場合には、上記したような二層ポリシリコン配線の配線間容量など特性の良いものを使用しても、所望の特性を達成することは困難であった。

【0017】なお、バイポーラ增幅回路のオフセットの補正を行うために用いられるオートゼロ調整回路には、例えば図7に示すように入力信号ラインのコンデンサを排除した構成のものがある。

【0018】図7において、IN-SW1およびAZ-SW1は入力(IN)とオートゼロ用リファレンス電圧VRを切換選択するためのスイッチである。BF-OPは上記2個のスイッチIN-SW1およびAZ-SW1の各選択出力端に入力用の抵抗素子RSを介して反転入力端子(-)が接続され、非反転入力端子(+)にオートゼロ用リファレンス電圧VRが入力するバイポーラ型演算增幅回路からなるバッファ・アンプである。

【0019】RFは上記バッファ・アンプBF-OPの出力側と反転入力端子(-)との間に接続された帰還用の抵抗素子、IN-SW2は上記バッファ・アンプBF-OPの出力側に接続されたスイッチである。

【0020】AZ-Cは上記バッファ・アンプBF-OPの出力側と接地ノードとの間にスイッチAZ-SW1を介して接続されたオフセットキャンセル用のコンデンサである。AZ-OPは上記バッファ・アンプBF-OPの出力電圧OUTのオフセットを増幅するための増幅回路であり、上記イッチAZ-SW1とオフセットキャンセル用のコンデンサAZ-Cとの直列接続ノードが非反転入力端子(+)に入力し、リファレンス電圧VRが抵抗素子R2を介して反転入力端子(-)に入力するバイポーラ型演算增幅回路からなる。そして、このバイポーラ型演算增幅回路AZ-OPの出力側と反転入力端子(-)との間にコンデンサC1が接続されている。

【0021】しかし、図7の構成は、入力インピーダン

スが低くなるので、高い入力インピーダンスを有するCMOS增幅回路のオートゼロ調整回路に採用することは困難である。

【0022】また、上記した図6、図7に示した回路は、演算增幅回路の外部でオフセット電圧分を故意に加えて見かけ上のキャンセルを行うものであり、非反転入力端子(+)、反転入力端子(-)に使用上の制約が生じるので、使い勝手が良くなかった。

【0023】

【発明が解決しようとする課題】上記したように従来のCMOS增幅回路のオートゼロ調整回路は、入力信号ラインにオフセットキャンセル用のコンデンサ(AZ-C)を挿入するので、その特性や容量値に制約が多く、製造コストの上昇をまねくだけでなく、オートゼロ調整精度および動作速度についても制約されるという問題があった。また、演算增幅回路の外部でオフセット電圧分を故意に加えて見かけ上のキャンセルを行うものであり、非反転入力端子(+)、反転入力端子(-)に使用上の制約が生じるので、使い勝手が良くなっている問題があった。

【0024】本発明は上記の問題点を解決すべくなされたもので、入力信号ラインからオフセットキャンセル用のコンデンサを排除し、高いオートゼロ調整精度を達成すると共にオフセットキャンセル用のコンデンサを安価なMOSキャパシタで実現し得るCMOSアナログ回路を提供することを目的とする。

【0025】

【課題を解決するための手段】第1の発明のCMOSアナログ回路は、非反転入力端子、反転入力端子、出力端子およびオフセット調整用端子を有するCMOS演算增幅回路からなり、前記出力端子と反転入力端子とは短絡接続され、前記非反転入力端子には入力電圧が印加される第1のバッファ・アンプと、前記第1のバッファ・アンプの2つの入力端子の各電圧の差分を検出し、その差分に応じて前記オフセット調整用端子の電圧を制御し、前記第1のバッファ・アンプの2つの入力端子のオフセットを補正する制御回路とを具備することを特徴とする。

【0026】第2の発明のCMOSアナログ回路は、非反転入力端子、反転入力端子、出力端子およびオフセット調整用端子を有するCMOS演算增幅回路からなり、前記出力端子と反転入力端子とは短絡接続される第1のバッファ・アンプと、非反転入力端子、反転入力端子および出力端子を有するCMOS演算增幅回路からなり、前記出力端子と反転入力端子とは短絡接続され、前記非反転入力端子にチャネルAの入力電圧が印加される第2のバッファ・アンプと、前記第1のバッファ・アンプの非反転入力端子に前記チャネルAの入力電圧電圧を選択的に印加するためのオートゼロ調整用の第1のスイッチと、前記第1のバッファ・アンプの非反転入力端子にチャネルBの入力電圧を選択的に印加するための入力用の

スイッチと、前記第1のバッファ・アンプの出力電圧および前記第2のバッファ・アンプの出力電圧を選択的に出力ノードに出力するための出力用のスイッチと、前記2つのバッファ・アンプの各出力端子の電圧の差分を検出し、その差分に応じて前記第1のバッファ・アンプのオフセット調整用端子の電圧を制御し、前記2つのバッファ・アンプの各出力端子のオフセットを補正する制御回路とを具備することを特徴とする。

【0027】第3の発明のCMOSアナログ回路は、非反転入力端子、反転入力端子、出力端子およびオフセット調整用端子を有するCMOS演算增幅回路からなり、前記出力端子と反転入力端子とは短絡接続される第1のバッファ・アンプと、非反転入力端子、反転入力端子および出力端子をするCMOS演算增幅回路からなり、前記非反転入力端子にチャネルAの入力電圧が印加される第2のバッファ・アンプと、前記第1のバッファ・アンプの非反転入力端子に前記チャネルAの入力電圧電圧を選択的に印加するためのオートゼロ調整用の第1のスイッチと、前記第1のバッファ・アンプの非反転入力端子にチャネルBの入力電圧を選択的に印加するための入力用のスイッチと、前記第2のバッファ・アンプの出力端子と第1のバッファ・アンプの出力端子との間に接続され、複数の分圧ノードを有する抵抗分圧回路と、前記複数の分圧ノードと前記第2のバッファ・アンプの反転入力端子との間にそれぞれ対応して接続されたゲインコントロール用の複数のスイッチと、前記第2のバッファ・アンプの出力端子と基準電圧ノードとの間に接続された抵抗素子と、前記2つのバッファ・アンプの各出力端子の電圧の差分を検出し、その差分に応じて前記第1のバッファ・アンプのオフセット調整用端子の電圧を制御し、前記2つのバッファ・アンプの各出力端子のオフセットを補正する制御回路と、前記2つのバッファ・アンプの各出力端子の電圧の差分を増幅して出力するCMOS演算增幅回路からなる出力用のバッファ・アンプとを具備することを特徴とする。

#### 【0028】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。

<第1実施例>図1は、本発明の第1実施例に係るCMOS增幅回路のオートゼロ調整回路を示している。

【0029】図1において、CMOS演算增幅回路からなるバッファ・アンプBF-OPCは、非反転入力端子(+)、反転入力端子(-)、出力端子とは別に増幅回路自体のオフセット調整を実現するためのオフセット調整用の第3の端子Cを有し、その出力端子と反転入力端子(-)とは短絡接続されており、その非反転入力端子(+)には入力電圧INが印加される。

【0030】制御回路11は、前記バッファ・アンプBF-OPCのオフセット補正のために合わせ込みたい2つの信号端子、つまり、非反転入力端子(+)および反転入

端子(-)の各電圧の差分を検出し、その差分に応じて前記バッファ・アンプBF-OPCの第3の端子Cの電圧を制御するものである。

【0031】この制御回路11は、前記バッファ・アンプBF-OPCの非反転入力端子(+)の電圧および反転入力端子(-)の電圧が対応して非反転入力端子(+)、反転入力端子(-)に入力するオートゼロ制御用のCMOS演算增幅回路AZ-OPと、この演算增幅回路AZ-OPの出力端子と接地ノードとの間に直列に接続されたオートゼロ調整用のスイッチAZ-SW1およびオフセットキャンセル用のコンデンサAZ-Cとを具備し、上記オフセットキャンセル用のコンデンサAZ-Cに保持された補正用電圧(つまり、スイッチAZ-SW1とオフセットキャンセル用のコンデンサAZ-Cとの接続ノードの電圧)を前記バッファ・アンプBF-OPの第3の端子Cに供給する。

【0032】なお、上記オートゼロ調整用のスイッチAZ-SW1は、オートゼロ調整時にオン状態に制御され、通常動作時にオフ状態には制御される。以下、図1のCMOS增幅回路のオートゼロ調整回路の動作について述べる。

【0033】オートゼロ調整時には、入力電圧INとして基準となる一定電圧が供給されており、オートゼロ調整用のスイッチAZ-SW1がオン状態に制御される。この状態では、制御回路11は、バッファ・アンプBF-OPCの非反転入力端子(+)および反転入力端子(-)の各電圧の差分をオートゼロ制御用の演算增幅回路AZ-OPにより増幅し、補正用電圧としてバッファ・アンプBF-OPの第3の端子Cに供給する。

【0034】この時、仮に入力電圧INに対してバッファ・アンプBF-OPの出力電圧OUTが低い場合、バッファ・アンプBF-OPCの第3の端子Cの電圧は高くなり、それにつれてバッファ・アンプBF-OPCの出力電圧OUTが上昇し、バッファ・アンプBF-OPCの出力電圧OUTが入力電圧INと同電位に達した時点で制御ループが収束して安定する。この時のバッファ・アンプBF-OPCの第3の端子Cの電圧(オフセット調整用電圧CABV)は、オートゼロ調整用のスイッチAZ-SW1をオフ状態に制御することによりオフセットキャンセル用のコンデンサAZ-Cにより保持され、オートゼロ動作が完了する。

【0035】通常動作時(入力モード)には、入力電圧INがバッファ・アンプBF-OPCの出力電圧OUTとなるので、バッファ・アンプBF-OPCのオフセット電圧はキャンセルされることになる。

【0036】上述したようなCMOS增幅回路のオートゼロ調整回路によれば、入力信号ラインと接地ノードとの間に接続されるオフセットキャンセル用のコンデンサAZ-Cによりオフセット調整用電圧が接地ノードに対して一定の電位で保持されることになり、入力信号ラインにオフセットキャンセル用のコンデンサAZ-Cを挿入しないで済み、入力信号ラインをCMOS增幅回路の入力端子

に直流結合することが可能になる。

【0037】したがって、入力信号ラインと接地ノードとの間の寄生容量やオフセットキャンセル用のコンデンサAZ-Cに電圧依存性があつても問題が生じなくなり、高精度が得られ易くなる。また、オフセットキャンセル用のコンデンサAZ-Cは接地ノード（電源ノードでもよい）との間でDC電圧を保持するものであり、MOSキャパシタを使用することが可能となり、その製造コストが安価となる。

【0038】なお、図1中のオートゼロ制御用の演算增幅回路AZ-OP自身のオフセット電圧について考察する。前述した入力信号ラインのバッファ・アンプBF-OPCは、様々な特性が関係するので使用可能なトランジスタのサイズに制限があり、オフセット電圧も大きくなりがちであるが、オートゼロ制御用の演算增幅回路AZ-OPは基本的にDC信号しか扱わず、また十分な時間に使用可能であることから、そのオフセット電圧が十分小さくなるように設計することが可能である。

【0039】さらに、上記第1実施例のCMOS増幅回路のオートゼロ調整回路によれば、バッファ・アンプBF-OPCの非反転入力端子（+）、反転入力端子（-）に使用上の制約が生じることはなく、2つの端子間の電位合わせを行うので、使い勝手が悪くないことはない。

【0040】また、本発明は、上記第1実施例のように、単にCMOS増幅回路の非反転入力端子（+）、反転入力端子（-）のオフセット調整を行うだけに限らず、2端子間の電位差を合わせ込むことが可能があるので、その適用分野は広く、例えばゲインコントロールAMP R2重相関サンプリング(Correlated Double Sampling; CDS)回路等、様々な応用例が考えられ、以下、複数の応用例を示す。

【0041】<第2実施例>図2は、第2実施例に係るCMOSマルチプレクサ回路のチャネル間オフセットを補正するためのオートゼロ調整回路を示している。

【0042】図2において、第1のバッファ・アンプ(BF-OPC)は、非反転入力端子（+）、反転入力端子（-）、出力端子とは別に増幅回路自体のオフセット調整を実現するためのオフセット調整用の第3の端子Cを有するCMOS演算増幅回路からなり、その出力端子と反転入力端子（-）とは短絡接続されている。

【0043】第2のバッファ・アンプBF-OPは、非反転入力端子（+）、反転入力端子（-）、出力端子を有するCMOS演算増幅回路からなり、その出力端子と反転入力端子（-）とは短絡接続されている。

【0044】チャネルAの入力電圧IN-Aは、前記第2のバッファ・アンプBF-OPの非反転入力端子（+）に印加されるとともにオートゼロ調整用のスイッチAZ-SW1を介して前記第1のバッファ・アンプBF-OPCの非反転入力端子（+）に選択的に印加される。

【0045】チャネルBの入力電圧IN-Bは、入力用のス

イッチIN-SW1を介して前記第1のバッファ・アンプBF-OPCの非反転入力端子（+）に選択的に印加される。前記第2のバッファ・アンプBF-OPの出力端子は出力用のスイッチOUT-SW1を介して出力ノードに接続され、前記第1のバッファ・アンプBF-OPCの出力端子は出力用のスイッチOUT-SW2を介して前記出力ノードに接続されている。

【0046】制御回路21は、オフセット補正のために合わせ込みたい2つの信号端子、つまり、前記2つのバッファ・アンプBF-OP、BF-OPCの各出力端子の電圧の差分を検出し、その差分に応じて前記第1のバッファ・アンプBF-OPCの第3の端子Cの電圧を制御するものである。

【0047】この制御回路21は、前記第2のバッファ・アンプBF-OPの出力端子の電圧および第1のバッファ・アンプBF-OPCの出力端子の電圧が対応して非反転入力端子（+）、反転入力端子（-）に入力するオートゼロ制御用のCMOS演算増幅回路AZ-OPと、この演算増幅回路AZ-OPの出力端子と接地ノードとの間に直列に接続されたオートゼロ調整用のスイッチAZ-SW2およびオフセットキャンセル用のコンデンサAZ-Cとを具備し、上記オフセットキャンセル用のコンデンサAZ-Cに保持された補正用電圧（つまり、スイッチAZ-SW1とオフセットキャンセル用のコンデンサAZ-Cとの接続ノードの電圧）を前記第1のバッファ・アンプBF-OPの第3の端子Cに供給する。

【0048】なお、上記オートゼロ調整用のスイッチAZ-SW1およびAZ-SW2は、オートゼロ調整時にオン状態に制御され、通常動作時にはオフ状態に制御される。また、前記入力用のスイッチIN-SW1は、オートゼロ調整時にはオフ状態に制御され、通常動作時にはオン状態に制御される。また、出力用のスイッチOUT-SW1およびOUT-SW2は、オートゼロ調整時にはオフ状態に制御され、通常動作時には選択的にオン状態に制御される。

【0049】以下、図2のCMOSマルチプレクサ回路のオートゼロ調整回路の動作について述べる。オートゼロ調整時には、チャネルAの入力電圧IN-Aとして基準となる一定電圧が供給されており、オートゼロ調整用のスイッチAZ-SW1、AZ-SW2がオン状態に制御される。この状態では、制御回路21は、2つのバッファ・アンプBF-OP、BF-OPCの各出力端子の電圧の差分をオートゼロ制御用の演算増幅回路AZ-OPにより増幅し、補正用電圧として第1のバッファ・アンプBF-OPCの第3の端子Cに供給する。

【0050】これにより、2つのバッファ・アンプBF-OP、BF-OPCの各出力端子の電圧が同電位に達した時点で制御ループが収束して安定する。この時の第1のバッファ・アンプBF-OPCの第3の端子Cの電圧（オフセット調整用電圧CABV）は、オートゼロ調整用のスイッチAZ-SW2をオフ状態に制御することによりオフセットキャンセル

用のコンデンサAZ-Cにより保持され、オートゼロ動作が完了する。

【0051】通常動作時(入力モード)には、オートゼロ調整用のスイッチAZ-SW1はオフ状態、入力用のスイッチIN-SW1はオン状態に制御され、チャネルAの入力電圧IN-Aは前記第2のバッファ・アンプBF-OPの出力となり、チャネルBの入力電圧IN-Bは入力用のスイッチIN-SW1を介して前記第1のバッファ・アンプBF-OPCの出力となり、2つのチャネルA、B間のオフセット電圧はキャンセルされることになる。

【0052】そして、2つの出力用のスイッチOUT-SW1、OUT-SW2のいずれかがオン状態に制御されると、チャネルAの入力電圧IN-AまたはチャネルBの入力電圧IN-Bが出力されることになる。

【0053】上記第2実施例のCMOSマルチプレクサ回路のオートゼロ調整回路によれば、基本的には第1実施例のCMOS增幅回路のオートゼロ調整回路と同様の効果が得られるほか、2つのチャネルに対してそれぞれ専用のオートゼロ制御用の演算增幅回路を必要とせずに、1個のオートゼロ制御用の演算增幅回路AZ-OPを用いた簡易に構成によりチャネル間のオフセット電圧をキャンセルし、オートゼロ制御用の演算增幅回路AZ-OP 1段分のオフセット電圧に低減することができる。

【0054】<第3実施例>図3は、第3実施例に係るCMOSゲインコントロール増幅回路のオフセットを補正するためのオートゼロ調整回路を示している。

【0055】図3中に示すCMOSゲインコントロール増幅回路は、チャネルAの入力電圧IN-AとチャネルBの入力電圧IN-Bとの差電圧を増幅する際の利得を制御するものであり、仮に10倍の増幅を行う場合、チャネルA用の第2のバッファ・アンプBF-OPとチャネルB用の第1のバッファ・アンプBF-OPCとの間で生じたオフセット電圧は10倍に増幅されて現われることになるので、高精度が要求される。

【0056】そこで、図3中に示すオートゼロ調整回路により、初段の2個のバッファ・アンプBF-OP、BF-OPCの出力を合わせ込むように制御したものである。即ち、図3において、第1のバッファ・アンプBF-OPCは、非反転入力端子(+)、反転入力端子(-)、出力端子とは別に増幅回路自体のオフセット調整を実現するためのオフセット調整用の第3の端子(CABV)を有するCMOS演算増幅回路からなり、その出力端子と反転入力端子(-)とは短絡接続されている。

【0057】第2のバッファ・アンプBF-OPは、非反転入力端子(+)、反転入力端子(-)、出力端子を有するCMOS演算増幅回路からなる。チャネルAの入力電圧IN-Aは、前記第2のバッファ・アンプBF-OPの非反転入力端子(+)に印加されるとともにオートゼロ調整用のスイッチAZ-SW1を介して前記第1のバッファ・アンプBF-OPCの非反転入力端子(+)に選択的に印加される。

【0058】チャネルBの入力電圧IN-Bは、入力用のスイッチIN-SW1を介して前記第1のバッファ・アンプBF-OPの非反転入力端子(+)に選択的に印加される。前記第2のバッファ・アンプBF-OPの出力端子と第1のバッファ・アンプBF-OPCの出力端子との間には、抵抗分圧回路30が接続されている。この抵抗分圧回路30は、1個のポリシリコン抵抗素子(例えばポリシリコン抵抗素子)の複数の中間位置に分圧ノードを有するもの、あるいは、直列接続された複数個のポリシリコン抵抗素子(例えばポリシリコン抵抗素子)の各直列接続位置に分圧ノードを有するものが用いられる。

【0059】そして、複数の分圧ノードと前記第2のバッファ・アンプBF-OPの反転入力端子(-)とはそれぞれ対応してゲインコントロール用のスイッチGC-SWi(i=1,2,…,n)を介して接続されている。

【0060】さらに、前記第2のバッファ・アンプBF-OPの出力端子は抵抗GC-R2を介してCMOS演算増幅回路からなる出力用のバッファ・アンプBF-OPの非反転入力端子(+)に接続されており、前記第1のバッファ・アンプBF-OPCの出力端子は抵抗GC-R4を介して前記出力用のバッファ・アンプBF-OPの反転入力端子(-)に接続されている。そして、この出力用のバッファ・アンプBF-OPの非反転入力端子(+)は、抵抗GC-R3を介して基準電圧ノードVRに接続されており、上記出力用のバッファ・アンプBF-OPの出力端子と反転入力端子(-)との間には抵抗GC-R5が接続されている。

【0061】制御回路31は、オフセット補正のために合わせ込みたい2つの信号端子、つまり、前記2つのバッファ・アンプBF-OP、BF-OPCの各出力端子の電圧の差分を検出し、その差分に応じて前記第1のバッファ・アンプBF-OPCの第3の端子Cの電圧CABVを制御するものである。

【0062】この制御回路31は、前記第2のバッファ・アンプBF-OPの出力端子の電圧および第1のバッファ・アンプBF-OPCの出力端子の電圧が対応して非反転入力端子(+)、反転入力端子(-)に入力するオートゼロ制御用のCMOS演算増幅回路AZ-OPと、この演算増幅回路AZ-OPの出力端子と接地ノードとの間に直列に接続されたオートゼロ調整用のスイッチAZ-SW2およびオフセットキャンセル用のコンデンサAZ-Cとを具備し、上記オフセットキャンセル用のコンデンサAZ-Cに保持された補正用電圧(つまり、スイッチAZ-SW1とオフセットキャンセル用のコンデンサAZ-Cとの接続ノードの電圧)を前記第1のバッファ・アンプBF-OPの第3の端子Cに供給する。

【0063】なお、上記オートゼロ調整用のスイッチAZ-SW1およびAZ-SW2は、オートゼロ調整時にオン状態に制御され、通常動作時にはオフ状態に制御される。また、前記入力用のスイッチIN-SW1は、オートゼロ調整時にはオフ状態に制御され、通常動作時にはオン状態に制御さ

れる。また、ゲインコントロール用のスイッチGC-S*i* (*i*=1,2,⋯,n) は、オートゼロ調整時、通常動作時とも所望のスイッチが選択されてオン状態に制御される。

【0064】ここで、図3のCMOSゲインコントロール增幅回路のゲインコントロール増幅動作について述べる。2個のバッファアンプBF-OP、BF-OPCに入力が印加されている状態において、ゲインコントロール用のスイッチGC-S*i* (*i*=1,2,⋯,n) のうち選択されたものが接続されている分圧ノードの電圧はチャネルAの入力電圧IN-Aに等しくなり、上記分圧ノードの電圧と第1のバッファアンプBF-OPCの出力電圧との差は、チャネルAの入力電圧IN-AとチャネルBの入力電圧IN-Bとの電圧差に等しい。

【0065】したがって、上記電圧差が上記分圧ノードと第1のバッファアンプBF-OPCの出力端子との間の抵抗値と上記分圧ノードと第2のバッファアンプBF-OPの出力端子との間の抵抗値との比率に依存して増幅され、第2のバッファアンプBF-OPの出力端子には、チャネルAの入力電圧IN-AとチャネルBの入力電圧IN-Bとの電圧差が例えば10倍に増幅されて現われることになる。

【0066】次に、図3のCMOSゲインコントロール増幅回路のオートゼロ調整回路の動作について述べる。オートゼロ調整時には、チャネルAの入力電圧IN-Aを通常のバッファ・アンプBF-OPによりバッファ増幅とともにオフセット調整用の第3の端子Cを有するバッファ・アンプBF-OPCによりバッファ増幅し、これらの2個のバッファアンプBF-OP、BF-OPCの各出力電圧の差分に応じて前記バッファ・アンプBF-OPCの第3の端子Cの電圧を制御する。

【0067】これにより、2つのバッファ・アンプBF-OP、BF-OPCの各出力端子の電圧が同電位に達した時点で制御ループが収束して安定する。この時の第1のバッファ・アンプBF-OPCの第3の端子Cの電圧(オフセット調整用電圧)は、オートゼロ調整用のスイッチAZ-SW2をオフ状態に制御することによりオフセットキャンセル用のコンデンサAZ-Cにより保持され、オートゼロ動作が完了する。

【0068】通常動作時(入力モード)には、オートゼロ調整用のスイッチAZ-SW1はオフ状態、入力用のスイッチIN-SW1はオン状態に制御され、チャネルAの入力電圧IN-Aは前記第2のバッファ・アンプBF-OPの出力となり、チャネルBの入力電圧IN-Bは入力用のスイッチIN-SW1を介して前記第1のバッファ・アンプBF-OPCの出力となり、2つのチャネルA、B間のオフセット電圧はキャンセルされることになる。

【0069】上記第3実施例のCMOSマルチプレクサ回路のオートゼロ調整回路によれば、第2実施例のCMOS増幅回路のオートゼロ調整回路と同様の効果が得られる。この場合、2つのチャネル間のオフセット電圧をオートゼロ制御用の演算増幅回路AZ-OP 1段分のオフセ

ット電圧に低減することができるだけでなく、10倍に増幅後の出力が調整されていることから、入力換算では、オートゼロ制御用の演算増幅回路AZ-OP のオフセット分は1/10に低減したのと同等の効果が得られる。

【0070】なお、前記各実施例の各スイッチは、トランジスタなどからなるアナログ・スイッチが用いられる。次に、前記各実施例におけるオフセット調整機能を有するCMOS増幅回路の具体的な二例について、図4および図5を参照しながら説明する。

【0071】図4は、1ステージタイプのCMOS増幅回路にオフセット調整機能を付加した例を示している。図4において、NMOSトランジスタMN2～MN8、PMOSトランジスタMP2～MP6により1ステージのCMOS増幅回路が構成されており、オフセット調整のためにNMOSトランジスタMN1CおよびPMOSトランジスタMP1C～MP3Cが追加されている。

【0072】即ち、図4において、差動対をなす入力増幅用のトランジスタMN3、MN4の各ゲートは対応して増幅回路の非反転入力端子(+)、反転入力端子(-)から入力電圧(IN-P)、(IN-M)が入力する。上記差動対トランジスタMN3、MN4のソース共通接続ノードは電流源用のトランジスタMN2を介して接地されており、この電流源用のトランジスタMN2のゲートはバイアス入力電圧(NB1)が印加される。また、上記差動対トランジスタMN3、MN4の各ドレインと電源(Vcc)ノードの間には対応して負荷用のトランジスタMP2、MP3が接続されている。

【0073】そして、上記差動対トランジスタMN3、MN4の各ドレインには対応して出力用のトランジスタMP4、MP5が接続されており、この出力用のトランジスタMP4、MP5の各ドレインは、トランジスタMN5、MN6からなるカレントミラー回路を介して接地されており、前記出力用のトランジスタMP5のドレイン電圧は増幅回路の出力端子OUTに出力する。

【0074】上記出力用のトランジスタMP4、MP5の各ゲートにバイアス電圧PB2を印加するための第1のバイアス回路として、ゲート・ドレイン同士が接続されたトランジスタMP6およびトランジスタMN7がVccノードと接地ノードとの間に直列に接続されており、一方のトランジスタMN7のゲートに前記バイアス入力電圧NB1が印加され、他方のトランジスタMP6のゲート・ドレイン接続ノードが前記出力用のトランジスタMP4、MP5の各ゲートに接続されている。

【0075】また、前記負荷用のトランジスタMP2、MP3の各ゲートにバイアス電圧PB1を印加するための第2のバイアス回路として、ゲート・ドレイン同士が接続されたトランジスタMP7およびトランジスタMN8がVccノードと接地ノードとの間に直列に接続されており、一方のトランジスタMN8のゲートに前記バイアス入力電圧NB1が印加され、他方のトランジスタMP7のゲート・ドレ

イン接続ノードが前記負荷用のトランジスタMP2、MP3の各ゲートに接続されている。

【0076】さらに、前記負荷用のトランジスタMP2、MP3に対応して並列に負荷補正用のトランジスタMP2C、MP3Cが接続されており、一方の負荷補正用のトランジスタMP2Cのゲートには前記第2のバイアス回路からバイアス電圧PB1が印加され、他方の負荷補正用のトランジスタMP3Cのゲートにバイアス電圧CABBを印加するための第3のバイアス回路が設けられている。

【0077】この第3のバイアス回路は、ゲート・ドレイン同士が接続されたトランジスタMP1CおよびトランジスタMN1CがVccノードと接地ノードとの間に直列に接続されたカレントミラー回路からなり、一方のトランジスタMN1Cのゲートは増幅回路の第3の端子Cからオフセット補正用電圧CABVが印加され、他方のトランジスタMP1Cのゲート・ドレイン接続ノードが前記他方の負荷補正用のトランジスタMP3Cのゲートに接続されている。

【0078】次に、図4の回路の動作を説明する。第3の端子Cから入力するオフセット補正用電圧CABVは第3のバイアス回路でバイアス電圧CABBに変換される。この場合、前記トランジスタのサイズを、例えばMP2=MP3、MP2C=MP3C、MP2C<MP2の関係に設定しておくものとする。

【0079】まず、バイアス電圧CABBがバイアス電圧PB1と同電位であれば、負荷補正用のトランジスタMP3Cに流れる電流IP3Cは負荷補正用のトランジスタMP2Cに流れる電流IP2Cと同じであり、差動対トランジスタMN3、MN4にそれぞれ流れる電流IN3、IN4は等しくなる。つまり、非反転入力端子(+)の入力電圧IN-Pと反転入力端子(-)の入力電圧IN-Mが同電位の時に電流IN3、IN4は等しくなるので、オフセットは生じない。

【0080】これに対して、第3の端子Cから入力するオフセット補正用電圧CABVが上昇し、第3のバイアス回路で変換されたバイアス電圧CABBが低下した場合、負荷補正用のトランジスタMP3Cに流れる電流IP3Cの電流は負荷補正用のトランジスタMP2Cに流れる電流IP2Cより増えることになり、その増加分はトランジスタMN5、MN6からなるカレントミラー回路の経路で流れることになる。

【0081】従って、差動対トランジスタMN3、MN4は、一方の電流IN3が低減し、他方の電流IN4が増加することになる。つまり、差動対トランジスタMN3、MN4は、反転入力端子(-)の入力電圧IN-Mが非反転入力端子(+)の入力電圧IN-Pよりも高くなった時にバランスすることになるので、オフセットが生じる。

【0082】上記とは逆に、第3の端子Cから入力するオフセット補正用電圧CABVが低下した場合も、上記動作に準じてオフセットが生じる。このように、図4の回路は、動作電流を可変することによって入力オフセット電圧の調整を実現している。

【0083】図5は、2ステージタイプのCMOS增幅回路にオフセット調整機能を付加した例を示している。図5において、NMOSトランジスタMN2～MN4、MN10、PMOSトランジスタMP2、MP3、MP10により2ステージのCMOS増幅回路が構成されており、オフセット調整のためにNMOSトランジスタMN1C、MN11CおよびPMOSトランジスタMP1C～MP3C、MP11Cが追加されている。

【0084】即ち、図5において、差動対をなす入力増幅用のトランジスタMN3、MN4の各ゲートは対応してCMOS増幅回路の非反転入力端子(+)、反転入力端子(-)から入力電圧IN-P、IN-Mが入力する。上記差動対トランジスタMN3、MN4のソース共通接続ノードは電流源用のトランジスタMN2を介して接地されており、この電流源用のトランジスタMN2のゲートはバイアス入力電圧NB1が印加される。

【0085】また、上記差動対トランジスタMN3、MN4の各ドレインとVccノードの間には対応して負荷用のトランジスタMP2、MP3が接続されている。この場合、一方の負荷用のトランジスタMP2のゲート・ドレイン同士が接続されており、このゲート・ドレイン接続ノードが他方の負荷用のトランジスタMP3のゲートに接続されており、負荷用のトランジスタMP2、MP3はカレントミラーリー回路を形成している。

【0086】上記入力増幅用のトランジスタMN3、MN4、電流源用のトランジスタMN2、負荷用のトランジスタMP2、MP3は初段増幅回路を構成しており、上記差動対トランジスタのうちの一方のトランジスタMN4のドレインには次段増幅回路が接続されている。

【0087】この次段増幅回路は、トランジスタMP10およびトランジスタMN10がVccノードと接地ノードとの間に直列に接続されており、上記トランジスタMP10のゲート・ドレイン間にコンデンサC10が接続されており、前記トランジスタMN10のゲートは前記バイアス入力電圧NB1が印加される。

【0088】上記トランジスタMP10のゲートに初段増幅回路の出力が入力し、上記トランジスタMP10およびトランジスタMN10のドレイン相互接続ノードの電圧がCMOS増幅回路の出力端子OUTに出力する。

【0089】さらに、前記負荷用のトランジスタMP2、MP3に対応して並列に負荷補正用のトランジスタMP2C、MP3Cが接続されており、一方の負荷補正用のトランジスタMP2Cのゲートには第1のバイアス回路からバイアス電圧CABBが印加され、他方の負荷補正用のトランジスタMP3Cのゲートには第1のバイアス回路からバイアス電圧CA BRが印加される。

【0090】上記第1のバイアス回路は、ゲート・ドレイン同士が接続されたトランジスタMP1CおよびトランジスタMN1CがVccノードと接地ノードとの間に直列に接続されたカレントミラー回路からなり、一方のトランジ

トランジスタMN1CのゲートはCMOS増幅回路の第3の端子Cからオフセット補正用電圧CABVが印加され、他方のトランジスタMP1Cのゲート・ドレイン接続ノードが前記一方の負荷補正用のトランジスタMP2Cのゲートに接続されている。

【0091】また、前記第2のバイアス回路は、ゲート・ドレイン同士が接続されたトランジスタMP1CおよびトランジスタMN1CがVccノードと接地ノードとの間に直列に接続されたカレントミラー回路からなり、一方のトランジスタMN1Cのゲートは前記バイアス入力電圧NB1が印加され、他方のトランジスタMP1Cのゲート・ドレイン接続ノードが前記他方の負荷補正用のトランジスタMP3Cのゲートに接続されている。

【0092】次に、図5の回路の動作を説明する。第3の端子Cから入力するオフセット補正用電圧は第1のバイアス回路でバイアス電圧CABBに変換される。この場合、前記トランジスタのサイズを、例えばMP2=MP3、MP2C=MP3C、MP2C<MP2の関係に設定しておくものとする。

【0093】まず、バイアス電圧CABBがバイアス電圧CA BRと同電位であれば、負荷補正用のトランジスタMP3Cに流れる電流IP3Cは負荷補正用のトランジスタMP2Cに流れる電流IP2Cと同じであり、差動対トランジスタMN3、MN4にそれぞれ流れる電流IN3、IN4は等しくなる。つまり、非反転入力端子(+)の入力電圧IN-Pと反転入力端子(-)の入力電圧IN-Mが同電位の時に電流IN3、IN4は等しくなるので、オフセットは生じない。

【0094】これに対して、第3の端子Cから入力するオフセット補正用電圧CABVが上昇し、第1のバイアス回路で変換されたバイアス電圧CABBが低下した場合、負荷補正用のトランジスタMP2Cに流れる電流IP2Cの電流は負荷補正用のトランジスタMP3Cに流れる電流IP3Cより増えることになり、その増加分はトランジスタMP2、MP3からなるカレントミラー回路の経路で流れることになる。

【0095】従って、差動対トランジスタMN3、MN4は、一方の電流IN3が増加し、他方の電流IN4が低減することになる。つまり、差動対トランジスタMN3、MN4は、反転入力端子(-)の入力電圧IN-Mが非反転入力端子(+)の入力電圧IN-Pよりも低くなった時にバランスすることになるので、オフセットが生じる。

【0096】上記とは逆に、第3の端子Cから入力する

オフセット補正用電圧CABVが低下した場合も、上記動作に準じてオフセットが生じる。このように、図5の回路は、動作電流を可変することによって入力オフセット電圧の調整を実現している。

【0097】なお、図5は、初段増幅回路のバイアス電流を可変することでオフセットを生じさせているが、次段増幅回路のバイアス電流を可変することでも同様の操作は実現可能である。但し、次段増幅回路のオフセットは初段増幅回路で増幅される分だけ少なくなる。

#### 【0098】

【発明の効果】上述したように本発明によれば、入力信号ラインからオフセットキャンセル用のコンデンサを排除し、高いオートゼロ調整精度を達成すると共にオフセットキャンセル用のコンデンサを安価なMOSキャパシタで実現し得るCMOSアナログ回路のオートゼロ調整回路を提供することができる。

#### 【図面の簡単な説明】

【図1】本発明の第1実施例に係るCMOS増幅回路のオフセットを補正するためのオートゼロ調整回路を示す回路図。

【図2】第2実施例に係るCMOSマルチプレクサ回路のチャネル間オフセットを補正するためのオートゼロ調整回路を示す回路図。

【図3】第3実施例に係るCMOSゲインコントロール増幅回路のオフセットを補正するためのオートゼロ調整回路を示す回路図。

【図4】図1乃至図3中のオフセット調整機能を有するCMOS増幅回路の一具体例を示す回路図。

【図5】図1乃至図3中のオフセット調整機能を有するCMOS増幅回路の他の具体例を示す回路図。

【図6】従来のCMOS増幅回路のオートゼロ調整回路の一例を示す回路図。

【図7】従来のバイポーラ増幅回路のオートゼロ調整回路の一例を示す回路図。

#### 【符号の説明】

BF-OPC…バッファ・アンプ、

C…オフセット調整用の第3の端子、

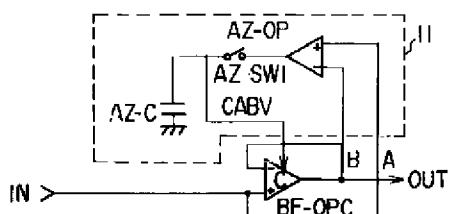
11…制御回路、

AZ-OP…オートゼロ制御用のCMOS演算増幅回路、

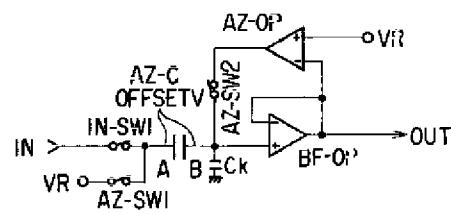
AZ-SW1…オートゼロ調整用のスイッチ、

AZ-C…オフセットキャンセル用のコンデンサ。

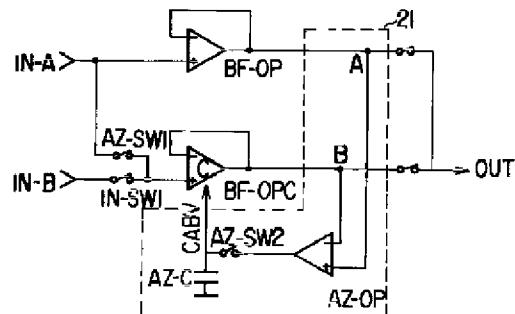
【図1】



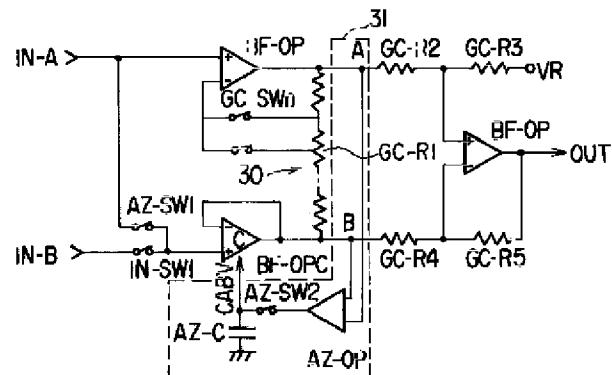
【図6】



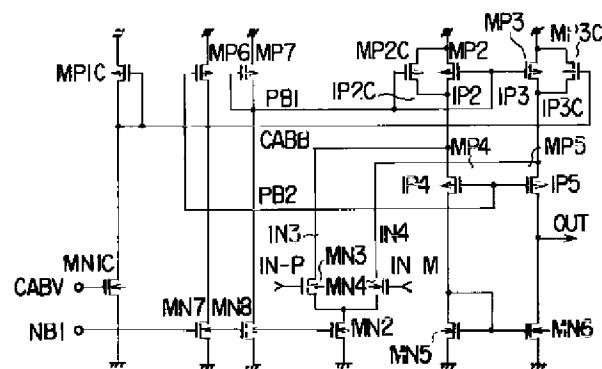
【図2】



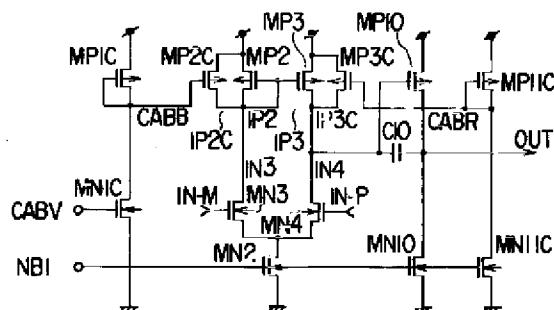
【図3】



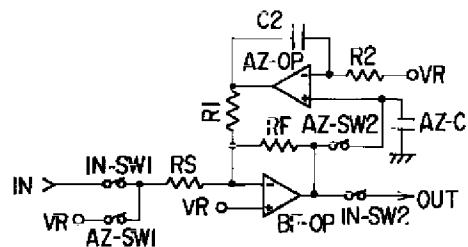
【図4】



【図5】



【図7】



フロントページの続き

Fターム(参考) 5J066 AA01 AA47 CA00 CA13 CA93  
CA98 FA10 HA10 HA17 HA19  
HA25 HA29 HA31 HA38 HA39  
KA02 KA03 KA06 KA09 KA12  
MA21 ND01 ND14 ND22 ND23  
PD01  
5J091 AA01 AA47 CA00 CA13 CA93  
CA98 FA10 HA10 HA17 HA19  
HA25 HA29 HA31 HA38 HA39  
KA02 KA03 KA06 KA09 KA12  
MA21